

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-282639

(43)Date of publication of application : 07.10.1994

(51)Int.Cl.

G06F 15/64

G06F 15/68

H04N 1/21

H04N 1/40

(21)Application number : 05-067101

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.03.1993

(72)Inventor : MACHIDA HIRONOBU
WATANABE KOICHI
SASAMA KAZUO

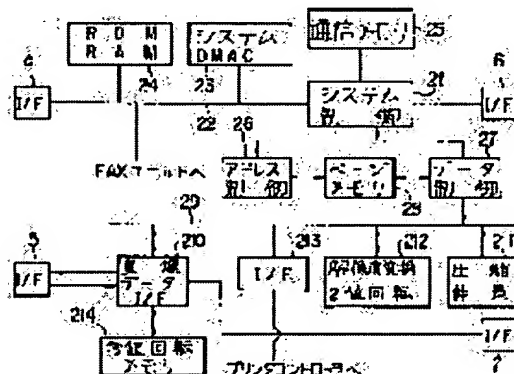
(54) PICTURE FORMING DEVICE

(57)Abstract:

PURPOSE: To effectively utilize a memory and to form multilevel pictures with less degradation by providing a picture data storage control means for storing binary picture data and multilevel picture data in the memory while maintaining the respective forms.

CONSTITUTION: A picture data I/F 210 decides picture elements for gathering the picture data inputted from a scanner by a picture element unit corresponding to the bit number of one picture element, converts them to the data of 32 bits which is the data width of a picture bus 29 at all times and outputs them to the picture bus 29.

The picture data of 32 bits inputted from the picture bus 29 are divided into the units of one picture element and outputted to a printer. In such a manner, since respective devices on the picture bus 29 convert the data width to the data width of the picture bus 29 corresponding to the bit number of one picture element on the devices and transfer the data, the need of storing the picture data of different bit widths respectively in exclusive memories is eliminated and the data of the different bit widths can be stored in an identically constituted page memory 28. Thus, the memory can be effectively utilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Image-formation equipment characterized by to provide the memory which remembers image data to be binary-izing and an input means multiple-value-ize and input for an image, the output means which outputs and carries out image formation of binary image data and the multiple-value image data, and the image data-accumulation control means which changes the image data from said input means in predetermined bit width of face, and accumulates binary image data and multiple-value image data in said memory with each gestalt.

[Claim 2] Image formation equipment according to claim 1 characterized by accumulating binary image data and multiple-value image data to different timing to memory.

[Claim 3] Image formation equipment according to claim 1 characterized by being intermingled and accumulating binary image data and multiple-value image data to the same timing to memory.

[Claim 4] An image data accumulation control means is image formation equipment according to claim 1 characterized by establishing a data-conversion means to change the number of pixels summarized according to the bit width of face of the image data from said input means, and to change image data in predetermined bit width of face, and a data transfer means to transmit the image data changed with this data-conversion means to said memory by the data width of face of the same predetermined bit as that image data.

[Claim 5] An image Binary-izing and an input means by which actuation cannot be stopped until a series of image input process will be completed, once it multiple-value-izes, it inputs and it starts input operation, The memory which memorizes image data, and an output means by which actuation cannot be stopped until a series of image output processing will be completed, once it outputs binary image data and multiple-value image data and starts output actuation, Data processing and the control means which performs transmit/receive control of resolution conversion of image data, compression of image data and expanding, and image data etc., Change the image data from said input means in predetermined bit width of face, and the image data accumulation control means which accumulates binary image data and multiple-value image data in said memory with each gestalt is provided. Said image data accumulation control means the image data transfer between said memory and said input means, an output means, and data processing and a control means The transfer control means which carries out concurrent processing of the transfer request from said input means and an output means and the various transfer requests from data processing and a control means, and performs them by time sharing is established. Said transfer control means Image formation equipment characterized by carrying out sequential authorization when a permission is furthermore preferentially granted by turns to the transfer request from said input means and an output means and there is no transfer request from said input means and an output means to the various transfer requests from said data processing and control means.

[Claim 6] An image Binary-izing and an input means by which actuation cannot be stopped until a series of image input process will be completed, once it multiple-value-izes, it inputs and it starts input operation, The memory which memorizes image data, and an output means by which actuation cannot be stopped until a series of image output processing will be completed, once it

outputs binary image data and multiple-value image data and starts output actuation, Data processing and the control means which performs transmit/receive control of resolution conversion of image data, compression of image data and expanding, and image data etc., The image data accumulation control means which changes the image data from said input means in predetermined bit width of face, and accumulates binary image data and multiple-value image data in said memory with each gestalt, A main control means to control said input means, an output means, and data processing and a control means, respectively is provided. Said image data accumulation control means The image data transfer between said memory and said input means, an output means, and data processing and a control means The transfer control means which carries out concurrent processing of the transfer request from said input means and an output means and the various transfer requests from data processing and a control means, and performs them by time sharing is established. Said main control means While performing starting and termination of a treatment process which become the origin of image data transfer, when supervising the number of image data transfer under current activation and starting a new treatment process Image formation equipment characterized by determining whether it is made whether judge whether image data transfer included in the treatment process can be performed based on a monitor result, and the new treatment process is started, or to stand by, or it is made to stop.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

TECHNICAL FIELD

[Industrial Application] This invention relates to image formation equipments, such as a copying machine.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art] In recent years, the image formation equipment which also treats a multiple-value image besides a binary image is developed with large-capacity-izing of memory, and low-cost-izing. The merit of multiple-value-izing is in the point that a high definition image -- there is no jaggy (notch) of the shadow area of the alphabetic character and line drawing produced by that a gradation image can be treated and the binary image -- is obtained.

[0003] For example, the thing of JP,4-186971,A An image input means to input multiple-value image data or binary image data through common Rhine, A binary multiple-value conversion means to change into multiple-value image data to binary image data, An output means to output multiple-value image data is established, in a binary multiple-value conversion means, "0" is changed into "00" and "1" changes binary data of 1 bit/pixel into multiple-value data like "FF", and where all are used as multiple-value data, it stores in page memory.

[0004] Moreover, the thing of JP,4-199975,A A detection means to detect the field where data are intermingled from multiple-value memory, binary memory, and two memory, A conversion means for while to correspond to a mixture field and to change the data of memory into the resolution of the memory of another side, A means to develop the data obtained by the conversion means in the memory of another side is established, and composition of binary data and multiple-value data is performed, and the multiple-value memory only for multiple-value data is used to multiple-value data, and the binary memory only for binary data is used to binary data.

[0005] Furthermore, although the thing of JP,4-247769,A is treating the binary image and the multiple-value image, it performs binary-ization with a binary-ized means to multiple-value image data, and is outputting it to the binary printer as binary data altogether. Moreover, to the multiple-value image, the memory only for multiple-value images is prepared, and binary data and multiple-value data are memorized in different memory like JP,4-199975,A.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] Since the memory for binary images and the memory for multiple-value images were prepared separately, when treating only binary image data, only binary image memory will be used, multiple-value image memory became useless, and when treating only multiple-value image data conversely, the thing of JP,4-199975,A and JP,4-247769,A will use only multiple-value image memory, and had the problem that binary image memory will become useless.

[0007] For example, if binary image memory fills while carrying out the multiple input of the data of only a binary image Even if there is sufficient opening for multiple-value image memory, multiple-value image memory cannot be used. For this reason, when there is a problem which must make the input of a binary image suspend on the way and it uses binary data and multiple-value data for coincidence like composition of a binary image and a multiple-value image, it also sets. Even if it is capacity with a capacity of the sum total of the free area of binary image memory, and the free area of multiple-value image memory able to input a multiple-value image, since binary image memory and multiple-value image memory have been independent, there is a problem that a multiple-value image cannot be inputted into binary image memory.

[0008] Thus, although there is an availability of memory that memory is separate enough, since the properties of an image differ, an image cannot be made to memorize, and the problem of making memory useless for this reason is produced.

[0009] Moreover, in order that the thing of JP,4-186971,A may make a binary image and a multiple-value image the same format, it surely changes a binary image (1 bit/(pixel)) into a multiple-value image (8 bits/(pixel)) (it changes into 8 times as many image data as this), and stores it in memory. For this reason, although a binary image is able to need one 8 times [when memorizing binary image data as it is] the memory capacity of this for memorizing one binary image, and to memorize by 8 pages to the memory capacity for an one-page multiple-value image, since it has multiple-value-ized, there is a problem that only 1 page is memorizable.

[0010] Moreover, although the capacity of memory is reducible if a multiple-value image is made binary and all images are treated as binary data, there is a problem that image quality degradation by binary-izing will arise.

[0011] as mentioned above, in order to treat both binary image data and multiple-value image data, in what prepared respectively independent memory In what there is a problem that memory becomes useless, and unifies into a format of a multiple-value image, and is memorized in memory When having memorized a binary image, and there was a problem of using memory vainly and it unified into a format of binary image data further, there was a problem that image quality degradation by binary-izing arose.

[0012] Then, this invention can accumulate binary image data and multiple-value image data in the same memory with a gestalt as it is, and it tends to offer the image formation equipment which can carry out image formation, without carrying out image degradation of the multiple-value image, while being able to perform a deployment of memory.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem] Invention of claim 1 correspondence establishes the memory which remembers image data to be binary-izing and an input means to multiple-value-ize and to input for an image, the output means which outputs and carries out image formation of binary image data and the multiple-value image data, and the image data accumulation control means which changes the image data from an input means in predetermined bit width of face, and accumulates binary image data and multiple-value image data in memory with each gestalt.

[0014] Invention of claim 2 correspondence accumulates binary image data and multiple-value image data to different timing to memory in invention of claim 1 correspondence.

[0015] Invention of claim 3 correspondence intermingles for them and accumulates binary image data and multiple-value image data to the same timing to memory in invention of claim 1 correspondence.

[0016] Invention of claim 4 correspondence changes the number of pixels which summarizes an image data accumulation control means according to the bit width of face of the image data from an input means in invention of claim 1 correspondence, and a data-conversion means to change image data in predetermined bit width of face, and a data transfer means to transmit the image data changed with this data-conversion means to said memory by the data width of face of the same predetermined bit as that image data are established.

[0017] Invention of claim 5 correspondence an image Binary-izing and an input means by which actuation cannot be stopped until a series of image input process will be completed, once it multiple-value-izes, it inputs and it starts input operation, The memory which memorizes image data, and an output means by which actuation cannot be stopped until a series of image output processing will be completed, once it outputs binary image data and multiple-value image data and starts output actuation, Data processing and the control means which performs transmit/receive control of resolution conversion of image data, compression of image data and expanding, and image data etc., Change the image data from an input means in predetermined bit width of face, and the image data accumulation control means which accumulates binary image data and multiple-value image data in memory with each gestalt is established. An image data accumulation control means the image data transfer between memory, an input means, an output means, and data processing and a control means The transfer control means which carries out concurrent processing of the transfer request from an input means and an output means and the various transfer requests from data processing and a control means, and performs them by time sharing is established. The transfer control means Sequential authorization is carried out, when a permission is furthermore preferentially granted by turns to the transfer request from an input means and an output means and there is no transfer request from an input means and an output means to the various transfer requests from data processing and a control means.

[0018] Invention of claim 6 correspondence an image Binary-izing and an input means by which actuation cannot be stopped until a series of image input process will be completed, once it multiple-value-izes, it inputs and it starts input operation, The memory which memorizes image data, and the output means which outputs and carries out image formation of binary image data and the multiple-value image data, Data processing and the control means which performs transmit/receive control of resolution conversion of image data, compression of image data and

expanding, and image data etc., The image data accumulation control means which changes the image data from an input means in predetermined bit width of face, and accumulates binary image data and multiple-value image data in memory with each gestalt, A main control means to control an input means, an output means, and data processing and a control means, respectively is established. An image data accumulation control means The image data transfer between memory, an input means, an output means, and data processing and a control means The transfer control means which carries out concurrent processing of the transfer request from an input means and an output means and the various transfer requests from data processing and a control means, and performs them by time sharing is established. A main control means While performing starting and termination of a treatment process which become the origin of image data transfer, when supervising the number of image data transfer under current activation and starting a new treatment process It determines whether it is made whether based on a monitor result, judge whether image data transfer included in the treatment process can be performed, and the new treatment process is started, or to stand by, or it is made to stop.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

OPERATION

[Function] In this invention of such a configuration, the image data inputted from an input means is changed in predetermined bit width of face, and binary image data and multiple-value image data are accumulated in memory with each gestalt. And image formation of the binary image data and multiple-value image data of memory is carried out as a binary image and a multiple-value image by the output means.

[0020] Moreover, if there are a transfer request from an input means and an output means and various transfer requests from data processing and a control means, concurrent processing of those transfer requests will be carried out by time sharing, and image data transfer to memory will be performed. In that case, priority is given to the transfer request from an input means and an output means to the various transfer requests from data processing and a control means.

[0021] With a main control means to control an input means, an output means, and data processing and a control means furthermore, respectively While starting and termination of a treatment process which become the origin of image data transfer are performed, when the number of image data transfer under current activation is supervised and a new treatment process is started It is determined whether it is made whether it is judged based on a monitor result whether image data transfer included in the treatment process can be performed, and a treatment process is started or to stand by or it is made to stop.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

EXAMPLE

[Example] Hereafter, one example of this invention is explained with reference to a drawing.

[0023] Drawing 1 is the block diagram showing the whole image formation equipment configuration. This equipment When connecting with an alien system the basic unit 1 which performs a fundamental copy function, and this equipment, memorize image data temporarily, or It has an optical disk unit for saving electronically and semipermanently the image data inputted from the system basic unit 2 which has the page memory which memorizes image data when editing and processing image data and copying it, and said basic unit 1 etc. And when exchanging image data or control data between alien systems, it consists of three systems of the system expansion unit 3 which has the control means which changes image data and control data into the control system of an alien system, and a graphics format.

[0024] Said basic unit 1 and the system basic unit 2 are connected by the radical headquarters image interface 5 which exchanges radical headquarters SI 4 which exchanges control data, and image data.

[0025] Said system basic unit 2 and system expansion unit 3 are connected by the extension image interface 7 which exchanges extension SI 6 which exchanges control data, and image data.

[0026] That is, direct continuation of said basic unit 1 and system expansion unit 3 is not carried out, but the exchange of control data and image data is surely performed through the system basic unit 2.

[0027] This image formation equipment can take three gestalten by the existence of connection of the system basic unit 2 and the system expansion unit 3.

[0028] Namely, the 1st gestalt is the configuration of only the basic unit 1, the fundamental function in this configuration is a copy function, and the copy processing accompanied by simple edit processing of enlarging-or-contracting processing, masking / trimming processing, etc., etc. is possible for it.

[0029] The 2nd gestalt is a gestalt which connected the system basic unit 2 to the basic unit 1, and the edit processing of rotation processing of an image, synthetic processing of two or more images, etc. of it is attained using the page memory which memorizes temporarily the image data other than the copy function in the basic unit 1 with this gestalt. moreover, to this system basic unit 2 The printer of the FAX (facsimile) unit 8 which constitutes line-control means other than the system expansion unit 3, such as facsimile, and the basic unit 1 as a remote printer of control equipments, such as an external personal computer It is possible to connect the printer controller 9 for using it. From this FAX unit 8, through a communication line, an image is transmitted to an alien system or a device, or conversely, through a communication line, it is possible to receive image data and the printout of the image data which received is carried out from an alien system or a device by the printer which it is sent to the basic unit 1 and mentioned later.

[0030] The 3rd gestalt turns into a gestalt shown in drawing 1 with the gestalt which connected the basic unit 1, the system basic unit 2, and the system expansion unit 3.

[0031] In this gestalt, the image data other than the function in the 1st and 2nd gestalten is saved electronically and semipermanently. A LAN circuit is minded from the data

storage/function manager which manages the saved image data, and a Local Area Network (LAN) line control means to mention later. Transmit an image to an alien system or a device, or Conversely, the transceiver function of the image data based on LAN which receives image data from an alien system or a device through a LAN circuit, The printing control code sent from a personal computer through a general interface is changed into an image data, and the printer ability which carries out the printout of the above-mentioned image data from the printer of the basic unit 1 through the page memory of the system basic unit 2 becomes possible.

[0032] Said basic unit 1 is constituted from the control panel 12 equipped with the system CPU 11, control unit, and display which constitute a control-section body, and the manuscript by the printer 15 as the image scanner 13, the image-processing circuit 14, and output means as an input means to read an image, as shown in drawing 2 . It connects with the printer 15 as an output means to perform a control panel 12, a scanner 13, the image-processing circuit 14, and an image formation output through the radical headquarters system bus 16, and said system CPU 11 controls these. This radical headquarters system bus 16 is connected to said radical headquarters SI 4.

[0033] After said scanner 13 has the CCD line sensor (not shown) which consists of a photo detector of plurality (one line) arranged seriate, reads the image of the manuscript laid in the manuscript base (not shown) for every line according to the directions from a system CPU 11 and changes the shade of an image into 8-bit digital data, it is outputted to the image-processing circuit 14 as time series digital data with a synchronizing signal through a scanner interface.

[0034] Said printer 15 consists of the image formation sections (not shown) which combined with the laser beam study system (not shown) and the transfer paper the electrophotography method in which image formation is possible. According to the directions from a system CPU 11, a printer interface is minded for 4-bit digital image data from the image-processing circuit 14. After inputting synchronizing with a synchronizing signal and forming an electrostatic latent image on a photo conductor drum (not shown) by the laser beam of pulse width according to the magnitude of image data, The image which visualized the above-mentioned electrostatic latent image with the visualization means (not shown), and was visualized by the imprint means (not shown) is imprinted to a transfer paper, the image on a transfer paper is established with a fixing means (not shown), and this transfer paper is outputted.

[0035] Said control panel 12 consists of displays which display the image image stored in the condition of a control unit and a system of setting up the mode of operation and parameter of this equipment, or the page memory of the system basic unit 2.

[0036] Each part of the system basic unit 2 mentioned later also controls said system CPU 11.

[0037] Said image-processing circuit 14 consists of the smoothing edge intensifier 141, edit/migration circuit 142, an expansion/contraction circuit 143, and a gradation conversion circuit 144, as shown in drawing 5 .

[0038] Said smoothing edge intensifier 141 removes the noise mixed at the time of image reading by the smoothing circuit, and is radicalized with an edge intensifier in the edge which dotage produced by smoothing.

[0039] Said edit/migration circuit 142 is the block which performs simple edit processing of the Rhine unit, for example, performs migration processing of the direction of Rhine, and masking / trimming processing.

[0040] Said expansion/contraction circuit 143 performs enlarging-or-contracting processing with the combination of the repeat processing of a pixel or infanticide processing according to the specified rate of variable power, and interpolation processing.

[0041] Gray scale conversion of said gradation conversion circuit 144 is carried out to the number of gradation which specified 1-pixel the 8-bit image data read with said scanner 13 using the area gradation technique. And the image data which carried out gray scale conversion is sent to said system basic unit 2 through a printer 15 or the scanner data bus 17, and said radical headquarters image interface 5 by 1-pixel the 4-bit image data which is the number of bits of a printer.

[0042] Amendment of the nonlinearity of the input-output behavioral characteristics of said

printer 15 is performed to coincidence, when performing gradation processing using the area gradation technique.

[0043] Said system basic unit 2 controls the communication link of the control information of the system CPU 11 in the page memory 28 which memorizes image data temporarily, and the basic unit 1, and CPU in the system expansion unit 3 to be shown in drawing 3, or The data transfer between each device in the system control circuit 21 which controls access to the page memory 28 from the basic unit 1 and the system expansion unit 3, the page memory address control circuit 26 which generates the address of PEJIMEMORI 28, and the system basic unit 2 The page memory data control circuit 27 which controls the data transfer when performing data transfer of the page memory 28 and other devices through the image bus 29 to perform and this image bus 29 is formed.

[0044] moreover, when transmitting image data to image data I/F210 which carries out the interface of the image data when transmitting the basic unit 1 and image data through the radical headquarters image interface 5, and the device by which resolution differs, change image data into the resolution of other devices, or Change into the resolution of the printer 15 of the basic unit 1 the image data which received from the device by which resolution differs, or Compress image data like the resolution conversion binary rotation circuit 212, the facsimile transmission, and the optical disk storage which perform 90-degree rotation processing of binary image data, and transmit, or Compression/expanding circuit 211 elongated in order that the image data inputted for the device to memorize may be compressed or the image data of the compressed gestalt may visualize through a printer 15 is formed.

[0045] Moreover, FONT memory the character font is remembered to be, work-piece memory which memorizes temporarily the control information which a system CPU 11 uses, The system basic unit 2 is used. Processing System DMA controller 23 for performing data transfer between the devices of the system memory (ROM/RAM) 24 which consists of program memory the processing programs when carrying out are remembered to be, and the radical headquarters system bus 16 at a high speed, Exchange control information between a printer controller 9 and a system CPU 11, or When performing image data transfer between a printer controller 9 and the image bus 29, the printer controller interface 213 which carries out the interface of the above-mentioned control information and the image data is established.

[0046] Furthermore, it connected with the system control circuit 21, when communicating control information between a system CPU 11 and CPU of the system expansion unit 3, it connected with the communication link memory 25 for making control information memorize, and image data I/F210, and when outputting image data from a printer 15, the multiple-value rotation memory 214 which rotates 180 degrees, and uses image data 90 degrees or when outputting is formed.

[0047] In addition, said FAX unit 8 and printer controller 9 are connected by the option.

[0048] As said system expansion unit 3 is shown in drawing 4 The extension system bus 43 is minded for each internal device. The ISA bus controller 33 which carries out the interface of extended DMA controller 32 which controls the data transfer on the escape CPU 31 to control and the extension system bus 43, general-purpose ISA Bus 44, and the extension system bus 43 and ISA Bus 44, The preservation means for connecting with the extension system bus 43 and saving image data electronically, For example, the preservation means for connecting with a hard disk drive unit 35, the hard disk interface 34 which is the interface, and said ISA Bus 44, and saving image data electronically, For example, the printer controller control unit 40 for realizing the Local Area Network communication control unit (LAN) 41 for realizing an optical disk unit 38, the optical disk interfacing 37 which is the interface, and a LAN function, and printer ability, When connecting the device of G4 and the FAX control circuit 39 which has G4 and a FAX control function, and a SCSI specification Said extended image interface 7 is minded for the image data from the extended SCSI interface 42 used being alike and said printer controller control device 40. It consists of buffer memory 36 which performs the interface when exchanging data between the extension image bus 45 for outputting to the system basic unit 2, and said extension system bus 43 and the extension image bus 45.

[0049] In addition, said optical disk interface 37, an optical disk unit 38, G4 and a FAX control

circuit 39, the printer controller control unit 40, the Local Area Network communication control unit 41, and extended SCSI interface 42 are options, and have removable composition from the system expansion unit 3.

[0050] Said optical disk unit 38 is connected with ISA Bus 44 through an interface 37, and said escape CPU 31 controls said optical disk unit 38 through the extension system bus 43, the ISA bus controller 33, and ISA Bus 44 using the SCSI command.

[0051] Said Local Area Network communication control unit 41 consists of the shared memories and system expansion bus interfaces which store temporarily communications control data, the image data, or control data and the image data from a system expansion bus from the line control section which controls the communication link of other devices and control data on a network, or an image data based on the protocol of the network system connected, and LAN.

[0052] The parallel interface of the Centronics conformity to which said printer controller control device 40 performs the exchange of a control code or an image data between personal computers, The system extensiveness image bus interface which takes an interface with the system extension image bus 45 for transmitting bit image data to the page memory 28 of a system basic unit, The image-data transfer control section which controls a transfer of the image data in equipment, The control code from a personal computer is interpreted and the extension system bus 43 and ISA Bus 44 are minded. Tell escape CPU 31 about control information, or After interpreting the printing control code from a personal computer and changing into bit information, it consists of a control means which memorizes bit information in the memory in equipment, and a system expansion bus interface which takes an interface with ISA Bus 44.

[0053] Next, a detail is explained about the configuration and function of the important section in said system basic unit 2.

[0054] As said system control circuit 21 is shown in drawing 6 The communication link of the control information of said system CPU 11 and Escape CPU 31 The page memory access control circuit 403 which controls access to the page memory 28 from the communication link memory interface 402 which takes an interface with the communication link memory access control circuit 401 to control and said communication link memory 25, the basic unit 1, and the system expansion unit 3, The address with which the control information sent from the system CPU 11 of the basic unit 1 through the radical headquarters system bus 16 and image information are sent to coincidence is decoded. The address with which the control information and image information from the radical headquarters system bus interface 405 which distributes the above-mentioned control information or image information to the block in the corresponding system basic unit 2, and the system expansion unit 3 are sent to coincidence is decoded. The system expansion bus interface 406 distributed to the block with which it corresponds in a circuit, The means (CPU11 and DMA controller 22 in a basic unit) in which the page memory access on the radical headquarters system bus 16 is possible, and the means in which the page memory access on the system expansion bus 43 is possible (the system expansion unit 3) [CPU31] And when DMA controller 32 accesses the image information in the page memory 28 through each system bus It consists of page memory interfaces 404 which carry out the interface of the exchange of an image data between said page memory access control circuits 403 and page memory 28.

[0055] Said communication link memory access control circuit 401 controls access of the communication link memory 25, when CPU11 of the basic unit 1 and CPU31 of the system expansion unit 3 perform delivery of the communication link memory 25 and a control code through the communication link memory interface 402 in the system control circuit 21.

[0056] Said communication link memory 25 is mapped by the room of CPU11 of the basic unit 1, and CPU31 of a system expansion unit, and the lead of data with said communication link memory 25 and the light of it become possible from each by accessing a specific field.

[0057] Said communication link memory access control circuit 401 is constituted by the mediation circuit 410, the communication link memory access sequencer 412, the bidirectional selector 413, and the interrupt control circuit 414 as shown in drawing 7.

[0058] Said mediation circuit 410 performs the priority control of the communication link memory access of CPU11 of the basic unit 1, and CPU31 of the system expansion unit 3. When CPU11

of said basic unit 1 and CPU31 of the system expansion unit 3 access the communication link memory 25 at coincidence, one of accesses are permitted based on the set-up priority, and access of another side is kept waiting.

[0059] Said communication link memory access sequencer 412 outputs the control signal of a lead or a light to the communication link memory 25 based on the demand of permitted CPU.

[0060] Said bidirectional selector 413 is outputted to the communication link memory 25 synchronizing with the timing signal with which the communication link memory access sequencer 412 outputs the address to the communication link memory 25 which the permitted control means outputted based on the mediation result of the mediation circuit 410. And CPU permitted in light actuation outputs the communication link information (data) outputted together with the address to the communication link memory 25 with address information. Moreover, the communication link information read from the communication link memory 25 by the timing signal which the address and communication link memory access C KENSUSA 412 to the communication link memory 25 from CPU permitted in lead actuation output is inputted, and is outputted to permitted CPU.

[0061] said page memory access control circuit 403 is shown in drawing 8 -- as -- the mediation circuit 430, a data register 431,432,436,437, an address register 433, bidirectional SEREKA 434, and the page memory access sequencer 435 -- a configuration -- now, it is.

[0062] Said mediation circuit 430 performs the priority control of the page memory access of CPU11 of the basic unit 1, and CPU31 of the system expansion unit 3. When CPU11 and CPU31 access the page memory 28 at coincidence, access of one of CPUs is permitted based on the set-up priority, and access of CPU of another side is kept waiting.

[0063] Said page memory access sequencer 435 outputs the control signal of a lead or a light to the address control circuit 26 to the page memory 28 based on the demand of permitted CPU.

[0064] Said bidirectional selector 434 is outputted to the address control circuit 26 synchronizing with the timing signal with which the page memory access sequencer 435 outputs the address to the page memory 28 which permitted CPU outputted based on the mediation result of the mediation circuit 430. And CPU permitted in light actuation outputs the information (data) outputted together with the address to the data control circuit 27 with address information. Moreover, the information (data) read from the page memory 28 by the timing signal which the address to the page memory 28 and the page memory access sequencer 435 from CPU permitted in lead actuation output is inputted through the data control circuit 27, and is outputted to CPU by which authorization was carried out [above-mentioned].

[0065] Said data register 431 and data register 432 are a register with which it is a temporary ***** register about data, and said address register 433 memorizes temporarily the address of the page memory 28 which the basic unit 1 outputs, when the basic unit 1 accesses the page memory 28.

[0066] Here, when the basic unit 1 accesses the page memory 28 using a data register 431, the address which the basic unit 1 outputted is temporarily stored in an address register 433, and is outputted to the page memory 28 through the address control circuit 26. On the other hand, when the basic unit 1 accesses page memory using a data register 432, the address which the basic unit 1 outputs is disregarded and the address generation section of the address control circuit 26 outputs the address to the page memory 28 based on setting information.

[0067] Moreover, said data register 436 and data register 437 are a register in which data are stored temporarily, when the system expansion unit 3 accesses the page memory 28, and when the system expansion unit 3 accesses the page memory 28, in both registers, the address generation section of the address control circuit 26 outputs the address to the page memory 28 based on setting information.

[0068] System DMA controller 23 of the basic unit 1 is a controller for transmitting the data transfer between the devices on the radical headquarters system bus 22 to a high speed in hard, without intervening CPU11 of the basic unit 1.

[0069] The system memory 24 for displaying a transfer of the page memory 28 for displaying the image on the page memory 28 in FAX transceiver processing, and a transfer of the compressed data between the FAX units 8 (code data) and the page memory 28 on a control panel 12 as

processing which performs data transfer using said system DMA controller 23, and the image data between control panels 12, and an actuation screen on a control panel 12, the data transfer between control panels 12, etc. occur.

[0070] The address control circuit 26 which generates the address of said page memory 28 As shown in drawing 9 In the transfer from the transfer control sequencer 610 which performs various kinds of transfer sequences by the request from an image bus, the mediation section 611 which performs mediation for the request of an image bus, and the request of a system bus, and an image bus It consists of DRAM control sections 614 which generate the address and the control signal of the address generation section 612 which generates the various memory addresses of two or more channels, the selector 613 which switches the address outputted from this address generation section 612, and the system address, and DRAM.

[0071] Said address control circuit 26 receives a memory access request from two lines, an image bus and a system bus. As for this request, mediation is performed by the mediation section 611, and data transfer processing of the side which overcame mediation is performed.

[0072] When the request by the side of a system bus overcomes mediation, the system address chosen by the selector 613 is inputted into the DRAM control section 614. The DRAM control section 614 generates a control signal required for a lead and a light while changing the inputted address into the address of DRAM.

[0073] Moreover, an address channel signal is inputted into the transfer control sequencer 610 with a request from an image bus, and one is chosen from two or more address generation machines in the address generation section 612. If the request by the side of an image bus overcomes mediation, the memory address of the selected channel will be outputted from the address generation section 612, and will be inputted into the DRAM control section 614.

[0074] Said address generation section 612 is constituted by the selector 637 which chooses one of those memory addresses to generate with the channel select signal from the FIFO address generation machine 635,636 of four two-dimensional address generation machines [631,632,633,634 or 2], and a transfer sequencer as shown in drawing 10 .

[0075] Said 2-dimensional each address generation machines 631-634 can generate various kinds of addresses. For example, (a) of drawing 11 It is also possible to carry out sequential generating of the address in the direction of X synchronizing with the clock from a transfer control sequencer so that it may be shown. Moreover, it is (b) of drawing 1111 by changing a parameter. It is also possible to the reverse of the direction of Y to carry out sequential generating of the address so that it may be shown.

[0076] Furthermore, according to the paper size of a manuscript, a setup of arbitration is possible for a start address or horizontal-scanning width of face (XW) of one line.

[0077] By using the two-dimensional address generation machine which can generate such various kinds of addresses, image edit of migration of an image, rotation, conversion in every direction, a repeat, a mirror image, etc. is possible between the fields of the arbitration of the page memory 28 by using the transfer and rotation read-out to the rectangle field of the arbitration of the page memory 28, repeat read-out, and a two-dimensional address generation machine two channels.

[0078] The FIFO address generation machine 635,636 generates the FIFO address for using the page memory 28 as a FIFO memory, and the status required for FIFO control.

[0079] as the status -- FIFO full (condition full of a FIFO field by the data of non-read-out), and FIFO -- there are empty (condition which does not have data of non-read-out in a FIFO field), and a FIFO half (condition which carries out unread appearance more than one half to a FIFO field, and has data at it). Moreover, the amount of data and the availability included in FIFO can be known by reading the register of FIFO from a system CPU 11.

[0080] In case it transmits to a system bus 22 by performing FIFO control using these statuses from the device of the device of the image bus 29 to the device or the image bus 29, each transfer rate and the difference of a transfer timing can be absorbed by the FIFO memory, and high-speed data transfer is possible.

[0081] Moreover, the FIFO address generation machine 635,636 can be used as a 1-dimensional address generation machine for two per channel, when not performing FIFO control.

[0082] Drawing 12 is a conceptual diagram in the case of carrying out two-dimensional access of the page memory 28.

[0083] One line is constituted by the integral multiple of one column if 1 time of the access width (it is 64 bits in the case of drawing) of the page memory 28 is used as one column. Moreover, as for the linear address of the last column of Rhine, and the head column of next Rhine, in the column [**** / the direction of X], in the same Rhine, the linear address of the page memory 28 is continuing continuously.

[0084] Drawing 13 expresses the two-dimensional memory of the page memory 28 of drawing 12 in writing to the linear address.

[0085] As said data control circuit 27 is shown in drawing 14, the data transfer between the devices on the image bus 29 in the system basic unit 2, And CPU11 of the image-processing section 702 which performs the image data transfer control section 701, the bit block transfer, and the various raster operation (logical operation) which control the device on the image bus 29, and the data transfer between the page memory 28, and the basic unit 1 Or when CPU31 of the system expansion unit 3 accesses page memory 28 through said system control circuit 21 (read/write) In the write-in processing to the system interface 703 and the page memory 28 which carry out the interface of the ** data In the data from the device on the image bus 29 sent through said image data transfer control section 701 based on the page memory access mediation result of said address control circuit 26 Or it sets to the read-out processing of the data from a selector 704 and the page memory 28 which chooses whether it is data from CPU (CPU11 of the basic unit 1, or CPU31 of the system expansion unit 3) sent through a system interface 703. [whether data are sent to the device on the image bus 29 which minded said image data transfer control section 701 based on the page memory access mediation result of said address control circuit 26, and] Or it consists of selectors 705 which choose whether data are sent to CPU (CPU11 of the basic unit 1, or CPU31 of the system expansion unit 3) through a system interface 703.

[0086] Said image-processing section 702 is constituted by the data path section 710,711, a selector 712, the parameter register 713, the image interface 714, the memory interface 715, the control bus interface 716, and the address control circuit interface 717 as shown in drawing 15.

[0087] Since the path (data path section 710) which leads data, and the path (data path section 711) which carries out a light have been independent of the page memory 28 and each is performing pipeline processing, said image-processing section 702 is the same, and its parallel processing of a maximum of 4 ch is possible for the maximum transfer cycle of read/write.

[0088] As for said selector circuit 712, the page memory access from the device on the image bus 29 switches the output direction of data by read access and lead modification light access.

[0089] In read access, the data from the page memory 28 are outputted to the data path section 710, and are sent to the device on the image bus 29 through said image data transfer control section 701.

[0090] In lead modification light access, it is outputted to a data path 711, logical operation processing is performed on the data sent from the device on the image bus 29 through said image data transfer control section 701 and selector 704, and the data path section 711, and the data from the page memory 28 are written in the page memory 28.

[0091] Said parameter register 713 is a register which stores the mode of operation of the data path section 710,711 for every channel, and these parameters are outputted to the data path section 710 or 711 by the page memory access sequence signal and channel selection signal which said address control circuit 26 outputs. Said each data path section L710,711 performs various logical operation processings based on this parameter.

[0092] Drawing 16 is the block diagram showing the internal configuration of the data path section 710, and it is 1 term operation part which 720 reverses a latch and 721 makes reverse 1/0 of data. By the data which were inputted by setup to a parameter register in reversal ON, the bit of "1" is changed into "0" and said operation part 721 changes the bit of "0" into "1."

[0093] 722 reverses the bit string from the most significant bit (MSB) of the data which are the bit right-and-left pars inflexa, and were read from the page memory 28 by setup to the least significant bit (LSB). That is, the pars inflexa 722 is used for 90 left rotation and 180-degree

rotation processing.

[0094] 723 is a pipeline register, and when there is no head in the boundary of the data width of face of the page memory 28 in the rectangle read access of the page memory 28, it is a register which memorizes data temporarily.

[0095] 724 is the barrel shifter which shifts the bit string of data to a most significant bit or least significant bit side, when there is nothing on the boundary of the data width of face of the page memory 28 with said pipeline register 723, shifts the bit of the present access and outputs it as a 32-bit data stream so that the bit string of the remaining bits of data before [one] being stored in said pipeline register 723, and the data of the present access may continue.

[0096] 725 is a bit extension and changes binary (1 bit/(pixel)) data into a multiple value.

[0097] Drawing 17 is the block diagram showing the internal configuration of the data path section 711, as for 726,727,728, as for a pipeline register and 731, barrel shifter and 732 are bit extensions, and a latch and 729 have [the bit right-and-left pars inflexa and 730 / these] the same function as the latch of said data path section 710, the bit right-and-left pars inflexa, a pipeline register, barrel shifter, and a bit extension.

[0098] 733 is the dyadic-operation section, 1/0 of data is reversed by setup like said data path section 710, or performs synthetic processing according the data read from the page memory 28 in the lead modification write mode, and the data inputted through the image data transfer control section 701 to logical operation, such as an OR, an AND, and an exclusive OR, by setup, and outputs it to the page memory 28.

[0099] Next, when control of said image data transfer control section 701 is described, there are the following two gestalten among the image data transfer gestalten which the image data transfer control section 701 controls.

[0100] One gestalt is the data transfer between the I/O devices on the image bus 29 of the system basic unit 2, and the source (source)/destination (destination) has it on the image bus 29, and it consists of two cycles of the read cycle which incorporates data from the source to the data buffer in the image data transfer control section 701, and the light cycle which writes the data on a data buffer in a destination.

[0101] Another gestalt is an I/O device on the image bus 29 of the system basic unit 2, and the data transfer between the page memory 28, and consists of an I/O device, a data transfer cycle between the data buffers in the image data transfer control section 701, and two cycles of the data transfer between a data buffer and the page memory 28.

[0102] Since it is independent of the image bus 29 between the page memory 28 and a data buffer, two cycles can be operated in parallel.

[0103] Moreover, the image data transfer control section 701 can specify eight data transfer of the two above-mentioned gestalten, and the data transfer of eight channels is possible for it to coincidence.

[0104] Said image data transfer control section 701 is constituted by a data buffer 740, the image bus priority structure control section 741, the image bus time control section 742, the page memory priority-control section 743, the page memory timing control section 744, the terminal counter 745, the interrupt control section 746, the control bus interface 747, the parameter register 748, and I/O buffer 749 as shown in drawing 18 R> 8.

[0105] Said data buffer 740 has the data register which stores the data from the source temporarily in data transfer several channel minutes.

[0106] Said image bus priority structure control section 741 inputs the data transfer request (BDRQ) from the device on the image bus 29, determines the device which permits data transfer by the predetermined priority control, and notifies initiation for data transfer to the permitted device (BDAK).

[0107] Said image bus time control section 742 generates the timing signal of the data transfer between the source device determined based on the priority-control result of said image bus priority structure control section 741, and a destination device, and outputs it to the image bus 29.

[0108] Drawing 19 shows the data transfer timing on the image bus 29 when transmitting image data from the page memory 28 to an I/O device, and drawing 20 shows the data transfer timing

on the image bus 29 when transmitting image data from an I/O device to the page memory 28.

[0109] BDRQ is a data transfer request signal for every device, and the image bus priority structure control section 741 starts mediation actuation with a BDRQ signal. A BDAK signal is as a result of [which the image bus priority structure control section 741 outputs] mediation, and the data transfer of the device with which the BDAK signal became active is permitted. The signal with which BADS shows transfer initiation, the signal with which, as for BW/R, access to a device shows a lead or a light, and BRDY are the data transfer terminate signals from a device.

[0110] Said page memory priority-control section 743 inputs the request signal which a data buffer 740 outputs, and determines the data transfer channel between the page memory 28 and a data buffer 740 based on a predetermined priority.

[0111] Said page memory timing control section 744 generates the timing signal of the page memory 28 of the transfer channel determined based on the priority-control result of the page memory priority-control section 743, and the data transfer between data buffers 740, and outputs it to the address control circuit 26. The transfer request signal from a data buffer 740 is outputted to the page memory priority-control section 743, when it is in the condition that data are not stored in the data buffer 740 in lead processing of the data from the page memory 28 in the condition that the data from the device on the image bus 29 are stored in the data buffer 740 in the light processing to the page memory 28.

[0112] Said terminal counter 745 counts the transfer byte count for every channel, and outputs a data transfer terminate signal (BTC) through the image bus time control section 742 to the transfer channel to which the transfer byte count reached the set point. Moreover, when a transfer byte count reaches the set point by setup, it is possible to apply transfer termination interruption to CPU11 of the basic unit 1 through the control bus interface 747 and the radical headquarters system bus 16 from said interrupt control section 746.

[0113] Said parameter register 748 is a register which sets up the existence of the source for every transfer channel, the destination, a transfer byte count, and the interruption processing at the time of transfer termination etc. Said image bus 29 has data width of face of 32 bits, and does not depend it on bit width of face of 1 pixel, but 32-bit data transfer is always performed. For example, when 32-pixel data are transmitted at once to the page memory 28 by the image bus 29 top through the image data transfer control section 701 from image data I/F210 when writing binary (1 bit/(pixel)) data in the page memory 28 from a scanner 13, and writing the data of a multiple value (4 bits/(pixel)) in the page memory 28, the image bus 29 top is transmitted to 8-pixel data at once. 32-bit-ization of data is performed by each device on the image bus 29 according to the number of bits of 1 pixel, respectively.

[0114] The data transfer priority control on said image bus 29 like the output to a printer 15, and the input process from a scanner 13 The transfer request from the device which can stop on the way or cannot keep data transfer waiting is permitted preferentially. The transfer request of the device which can keep data transfer waiting like compression/expanding processing or resolution transform processing is decided that the property of a device determines a priority as a permission is granted, only when there is no transfer request from a device with a high priority.

[0115] Next, with the device on the image bus 29, the interface of the image data transfer with the page memory 28, a scanner 13, or a printer 15 is carried out through the image-processing circuit 14. The pixel which adjusts the image data inputted into a pixel unit according to the number of bits of 1 pixel from a scanner 13 is determined. It changes into the 32-bit data which are always the data width of face of the image bus 29, and outputs on the image bus 29, and the 32-bit image data inputted from the image bus 29 explains image data I/F210 which divides per 1 pixel and is outputted to a printer 15.

[0116] As an outline, image data I/F210 is a part which exchanges the exchange of image data with the image-processing circuit 14, and image data with a printer controller 9. The data with a printer controller 9 to exchange perform picking to the image data received from the image-processing circuit 14, the image data taken out to the image-processing circuit 14, and a pan through the image bus 29 of the page memory 28 and 32-bit width of face.

[0117] As shown in drawing 21 , said image data I/F210 The scanner image data transmitted from the image-processing section 14 By the 802 or 32 bit transducer 802 of 32-bit transducers

of the ** sake changed into the 32-bit image data for choosing scanner I/F801 for inputting, and the inputted scanner image data in pixel number of bits, and outputting to the image bus 29 The made 32-bit image data The image bus 29 Image bus I/F803 for the scanners for leading and transmitting to the page memory 28, The printer image data of the page memory 28 The image bus 29 Image bus I/F804 for the printers for leading and carrying out a transfer input per 32 bits, Carry out the RRC of the printer image data from the Pixel transducer 805 for changing 32 bits of printer image data transmitted to image bus I/F804 in number of bits of 1 pixel, and the inputted page memory 28 90 degrees, and it is carried out in number of bits of 1 pixel. As opposed to printer I/F807 for outputting the printer image data from the rotation processing section 806, the Pixel transducer 805, or the rotation processing section 806 for outputting to the image-processing circuit 14, and the page memory 28 The image data for extended I/F The image bus 29 The LW→byte transducer 809 for changing the 32-bit image data inputted into image bus I/F808 for leading and carrying out transfer I/O per 32 bits, and image bus I/F808 per 8 bits, and the 8-bit image data from extended I/F811 The page memory 28 is received per 810 or 8 bits of byte→LW transducers for changing into the image data of a 32-bit unit. By SYS-I/F813 for writing in/reading and carrying out the sequence control section 812 which controls a motion of the whole internal image data of extended I/F811 for carrying out the transfer I/O of the image data for I/O and image data I/F210, a setup of operation to each block, and operating state It is constituted.

[0118] Next, the function of said image data I/F210 is explained in full detail.

[0119] (a) When transmitting the image data from a scanner 13 to the page memory 28, change into the data of a 32-bit unit the scanner image data transmitted from the image-processing circuit 14 by the 32-bit transducer 802, and transmit to the page memory 28 through the image bus 29.

[0120] At this time, the scanner image data to deal with is four kinds whose numbers of bits of 1 pixel are 8, 4, and 2 or 1 bit, and outputs [bits / 4 pixel / 4 bits // at a pixel / bits / 8 pixel / 2 bits // bit / 16 pixel / 1 bit /] 32 pixels at a time by the pixel by the pixel in 8 bits/pixel to the image bus 29. However, the number of bits of 1 pixel does not change per 1 page.

[0121] (b) When transmitting image data to a printer 15 from the page memory 28, input the image data of the page memory 28 into image data I/F210 per 32 bits through the image bus 29, change into the image data of a pixel unit by the Pixel transducer 805, and transmit to the image-processing circuit 14 as image data for printers.

[0122] At this time, the printer image data to deal with is three kinds whose numbers of bits of 1 pixel are 4 and 2 or 1 bit. However, the number of bits of 1 pixel does not change per 1 page.

[0123] On the image bus 29, in order to transmit 32 bits at a time to image data I/F210, 1 time of the number of transfer pixels on an image bus changes with the number of bits of the printer image data to output. By the pixel, 8 pixels is inputted at once from the image bus 29 in 4 bits /. By the pixel, 32 pixels is inputted [bit / 16 pixel / 1 bit /] at once from the image bus 29 by the pixel in 2 bits /.

[0124] (c) When transmitting image data to a printer 15 via the rotation processing section 806 from the page memory 28, input the image data on the page memory 28 into image data I/F210 per 2 bits through the image bus 29, in the rotation processing section 806, perform a RRC 90 degrees and transmit as image data for printers.

[0125] At this time, the printer image data to deal with is three kinds whose numbers of bits of 1 pixel are 4 and 2 or 1 bit. However, the number of bits of 1 pixel does not change per 1 page.

[0126] In the rotation processing section 806, rotation of the image data which has three kinds of numbers of bits can be performed using a line buffer 814,815.

[0127] (d) the case where image data is transmitted to the page memory 28 from an extension - the image data of an extension 9, for example, a printer controller, -- extended I/F811 -- leading -- image data I/F210 -- inputting -- the byte→LW transducer 810 -- one transfer bit - change into 32-bit image data from four 8-bit pieces which are a number, and transmit to the page memory 28 through the image bus 29.

[0128] At this time, the image data to deal with is four kinds whose numbers of bits of 1 pixel are 8, 4, and 2 or 1 bit. However, the number of bits of 1 pixel does not change per 1 page.

[0129] At extended I/F811, since the image transfer of a 8-bit unit is performed, in 8 bits /, by the pixel, it will transmit to 2 pixels in 1 pixel and 4 bits/pixel, and 8 pixels will be transmitted [bits //pixel / 2 / bit / 4 pixel / 1 bit /] at once by the pixel.

[0130] (e) When transmitting image data to an extension from the page memory 28, input the image data of the page memory 28 into image data I/F210 per 32 bits through the image bus 29, change into the image data of a 8-bit unit by the LW→byte transducer 809, and output to an extension through extended I/F811.

[0131] At this time, the image data to deal with is four kinds whose numbers of bits of 1 pixel are 8, 4, and 2 or 1 bit. However, the number of bits of 1 pixel does not change per 1 page.

[0132] Since the image transfer of a 8-bit unit is performed, in 8 bits /, by the pixel, it will transmit to 4 pixels in 2 pixels and 2 bits/pixel, and 8 pixels will be transmitted [bits / // 1 pixel and / 4 / bit //pixel / 1] at once by the pixel at extended I/F811.

[0133] Next, 32-bit transform processing at the time of a scanner input is explained.

[0134] From the image-processing circuit 14, the scanner image data by which a transfer input is carried out is used for the signal of SDATX-1 (X is 7-0) on MSB criteria, and a transfer input is carried out to image data I/F210. The scanner image data by which the transfer input was carried out is transmitted to the 32-bit transducer 802 by the signal of TDX-1 (X is 7-0) through scanner I/F801. At this time, each signal of SDATX-1 is equivalent to the signal of TDX-1 by 1 to 1.

[0135] the 32-bit transducer 802 -- 1 pixel [TDX-1 signal to] bit -- only effective image data is chosen corresponding to a number. Moreover, the selected image data is changed into the image data of a 32-bit unit. Conversion changes 32 pixels into one 32-bit image data 16-pixel 1-bit [/pixel] o'clock 8-pixel 2-bit [/pixel] o'clock 4-pixel 4-bit [/pixel] o'clock 8-bit [/pixel] o'clock.

[0136] The output signal after the conversion at the time of each pixel bit is shown.

[0137] 8-bit [/pixel] o'clock passes through the 1st pixel of the 8-bit image data of TD[7:0]-1 BISD[07:00]-1, the 3rd pixel is outputted to BISD[23:16]-1, and the 2nd pixel [4th] pixel is outputted to BISD[31:24]-1 BISD[15:08]-1.

[0138] 4-bit [/pixel] o'clock, the 4-bit image data of TD[7:4]-1 To BISD[03:00]-1, the 2nd pixel the 1st pixel to BISD[07:04]-1 To BISD[11:08]-1, the 4th pixel the 3rd pixel to BISD[15:12]-1 It passes through the 5th pixel BISD[19:16]-1, and the 7th pixel is outputted to BISD[27:24]-1, and it outputs the 6th pixel [8th] pixel to BISD[31:28]-1 BISD[23:20]-1.

[0139] 2-bit [/pixel] o'clock, the 2-bit image data of TD[7:6]-1 To BISD[01:00]-1, the 2nd pixel the 1st pixel to BISD[03:02]-1 To BISD[05:04]-1, the 4th pixel the 3rd pixel to BISD[07:06]-1 To BISD[09:08]-1, the 6th pixel the 5th pixel to BISD[11:10]-1 To BISD[13:12]-1, the 8th pixel the 7th pixel to BISD[15:14]-1 To BISD[17:16]-1, the 10th pixel the 9th pixel to BISD[19:18]-1 To BISD[21:20]-1, the 12th pixel the 11th pixel to BISD[23:22]-1 It passes through the 13th pixel BISD[25:24]-1, and the 15th pixel is outputted to BISD[29:28]-1, and it outputs the 14th pixel [16th] pixel to BISD[31:30]-1 BISD[27:26]-1.

[0140] 1-bit [/pixel] o'clock, the 1st pixel the 1-bit image data of TD 7-1 to BISD 00-1 To BISD 01-1, the 3rd pixel the 4th pixel the 2nd pixel to BISD 02-1 to BISD 03-1 To BISD 04-1, the 6th pixel the 7th pixel the 5th pixel to BISD 05-1 to BISD 06-1 To BISD 07-1, the 9th pixel the 10th pixel the 8th pixel to BISD 08-1 to BISD 09-1 To BISD 10-1, the 12th pixel the 11th pixel to BISD 11-1 To BISD 12-1, the 14th pixel the 13th pixel to BISD 13-1 To BISD 14-1, the 16th pixel the 15th pixel to BISD 15-1 To BISD 16-1, the 18th pixel the 17th pixel to BISD 17-1 To BISD 18-1, the 20th pixel the 19th pixel to BISD 19-1 To BISD 20-1, the 22nd pixel the 21st pixel to BISD 21-1 To BISD 22-1, the 24th pixel the 23rd pixel to BISD 23-1 To BISD 24-1, the 26th pixel the 25th pixel to BISD 25-1 It passes through the 28th pixel to BISD 26-1, and passes through the 27th pixel [29th] pixel BISD28-1 to BISD 27-1, and the 31st pixel is outputted to BISD 30-1, and it outputs the 30th pixel [32nd] pixel to BISD 31-1 to BISD 29-1.

[0141] However, when the transfer to image bus I/F (scanner)803 makes 32 bits one transfer unit and gathers by 32 bits, it cuts and changes an output. Data transfer of image data BISD [31:00]-1 of the 32-bit unit outputted from the 32-bit transducer 802 is carried out to 1:1 from image bus I/F (scanner)803 BD[31:00]-1.

[0142] Next, Pixel transform processing at the time of a printer output is explained.

[0143] Image data BD[31:00]-1 by which the transfer input was carried out through the image bus 29 is inputted into 1:1 as BIPD[31:00] -1 signal by image bus I/F (printer)804 to the Pixel transducer 805.

[0144] the Pixel transducer 805 -- 1 pixel bit of the image data for a printer output -- a number -- corresponding -- the sequence from the least significant bit of BIPD[31:00] -1 signal -- 1 pixel bit -- a selection output is carried out in number.

[0145] The 1st pixel at 4-bit [/pixel] o'clock namely, from BIPD[03:00]-1 The BIPD[07:04]-1 to 3rd pixel the 2nd pixel from BIPD[11:08]-1 The BIPD[15:12]-1 to 5th pixel the 4th pixel from BIPD[19:16]-1 The BIPD[27:24]-1 to 8th pixel [BIPD[23:20]-1 to 7th] pixel is chosen from BIPD[31:28]-1, and the 6th pixel is outputted to PXD[7:4] -1 signal.

[0146] The 1st pixel at 2-bit [/pixel] o'clock moreover, from BIPD[01:00]-1 The BIPD[03:02]-1 to 3rd pixel the 2nd pixel from BIPD[05:04]-1 The BIPD[07:06]-1 to 5th pixel the 4th pixel from BIPD[09:08]-1 The BIPD[11:10]-1 to 7th pixel the 6th pixel from BIPD[13:12]-1 The BIPD [15:14]-1 to 9th pixel the 8th pixel from BIPD[17:16]-1 The BIPD[19:18]-1 to 11th pixel the 10th pixel from BIPD[21:20]-1 The BIPD[23:22]-1 to 13th pixel the 12th pixel from BIPD[25:24]-1 The BIPD[29:28]-1 to 16th pixel [BIPD[27:26]-1 to 15th] pixel is chosen from BIPD[31:30]-1, and the 14th pixel is outputted to PXD[7:6] -1 signal.

[0147] The 2nd pixel from BIPD 00-1 the 1st pixel at 1-bit [/pixel] o'clock moreover, from BIPD 01-1 The 4th pixel from BIPD 02-1 the 3rd pixel from BIPD 03-1 The 6th pixel from BIPD 04-1 the 5th pixel from BIPD 05-1 The 8th pixel from BIPD 06-1 the 7th pixel from BIPD 07-1 The 10th pixel from BIPD 08-1 the 9th pixel from BIPD 09-1 The 12th pixel from BIPD 10-1 the 11th pixel from BIPD 11-1 The 14th pixel from BIPD 12-1 the 13th pixel from BIPD 13-1 The 16th pixel from BIPD 14-1 the 15th pixel from BIPD 15-1 The 18th pixel from BIPD 16-1 the 17th pixel from BIPD 17-1 The 20th pixel from BIPD 18-1 the 19th pixel from BIPD 19-1 The 22nd pixel from BIPD 20-1 the 21st pixel from BIPD 21-1 The 24th pixel from BIPD 22-1 the 23rd pixel from BIPD 23-1 The 26th pixel from BIPD 24-1 the 25th pixel from BIPD 25-1 the 27th pixel -- from BIPD 26-1, from BIPD 27-1, the 30th pixel [29th] pixel is chosen from BIPD 28-1, the 32nd pixel [31st] pixel is chosen from BIPD 31-1 from BIPD 30-1, and the 28th pixel is outputted [BIPD / 29-1] to seven to PXD1 signal.

[0148] The pixel data outputted from Pixel conversion synchronize with the 1-pixel image transfer speed to the image-processing circuit 14, and are changed per 1 pixel. It is changed into PID[7:4] -1 signal by the selector 816 after that 1:1, and the transfer output of the image-processing circuit 14 is carried out as PDAT[7:4] -1 signal.

[0149] the image-processing circuit 14 -- printer image data -- PDAT[7:4] -1 signal -- receiving -- 1 pixel bit -- it is used by the number on MSB criteria.

[0150] Next, the interface of data with the image bus 29 is explained.

[0151] the 1 pixel bit number of the pixels to transmit -- 1 time of the number of transfer pixels becomes 32 pixels 16-pixel and 1-bit [/pixel] o'clock 8-pixel and 2-bit [/pixel] o'clock 4-pixel and 4-bit [/pixel] o'clock 8-bit [/pixel] o'clock.

[0152] The scanner image data by which a transfer input is carried out from the image-processing circuit 14 to image data I/F210 is inputted per 32 bits in order of D0, D1, D2, ..., Dn (n:3, 7, 15, 31), is arranged per 1-pixel bit from the 32-bit least significant bit, and is arranged at the least significant bit side whose least significant bit is 32 bits also within 1-pixel bit.

[0153] the image data transfer input to the page memory 28 -- 1 pixel bit -- opting for arrangement with a number, the arrangement which carried out the transfer output to the page memory 28, and the arrangement which carried out the transfer input from the page memory 28 do not change.

[0154] The image data by which the transfer input was carried out from the page memory 28 is changed into the pixel data of a 1-pixel unit per 32 bits of image data transmitted in order of D0, D1, D2, ..., Dn (n:3, 7, 15, 31), and is outputted to the image-processing circuit 14 as printer image data.

[0155] The scanner input operation from said scanner 13 to the page memory 28 is explained.

[0156] The image output data which are 8 bits/pixel which said scanner 13 read It is transmitted

to the image data interface 210 through the image-processing circuit 14 as scanner (8-bit [// pixel], 4-bit [// pixel], 2-bit [// pixel], or 1 bit/pixel) image data. Two or more pixels (4, 8, 16 or 32 pixels) of scanner image data are collected in the image data interface 210 interior, and a DMA transfer is carried out through the image bus 29 in the data control circuit 27 as transfer data of a 32-bit unit. In the data control circuit 27, 32-bit scanner image data is written in the address of the page memory 28 generated in the address control circuit 26.

[0157] Next, the printer output actuation to a printer 15 from the page memory 28 is explained.

[0158] Image data is outputted to a printer 15 from the page memory 28. Said page memory 28 transmits image data to the data control circuit 27 per 32 bits with the address of the page memory generated in the address control circuit 26, and it carries out a DMA transfer to the image data interface 210 through the image bus 29.

[0159] In said image data I/F210 interior, it changes [pixel] from 32-bit image data in the number of bits of 4 bits/pixel of 1 pixel for outputting to a printer 15, 2 bits [pixel] /, or 1 bit /, and a transfer output is carried out to a printer 15 through the interior of an image processing.

[0160] Next, the processing flow of the main modes of operation of this image formation equipment is explained.

[0161] First, the input process of the code data (compression image data) from the FAX unit 8 to the page memory 28 is explained.

[0162] Drawing 22 is a flow chart which shows an example of FAX input process.

[0163] First, to the FAX unit 8, when the received data of a constant rate are accumulated, it sets up so that the transfer request to the page memory 28 may be generated.

[0164] Next, the start address and size of a FIFO field are set up to FIFO of a transfer channel. Thereby, the page memory 28 becomes usable as a FIFO memory.

[0165] next, path creation of the data from the FAX unit 8 to [set it as the data control circuit 27 and the system control circuit 21, and] the page memory 28, and the address — it carries out.

[0166] Next, FIFO is enabled and it changes into the condition which can be operated. Therefore, after this, if there are data which can lead a FIFO field, an image bus device (compressing expanding circuit 211 in this case) can read data until the FIFO status becomes en PUEI.

[0167] Next, a system CPU 11 leads the register of FIFO, investigates the availability of FIFO, and it waits for it until the opening for transfer size from FAX is made. If the opening for transfer size is made, transfer size will be set as system DMA controller 23, and a DMA transfer will be started.

[0168] Next, if the existence of interruption from the FAX unit 8 and DMA transfer termination are investigated and there is interruption from the FAX unit 8, the status is led from the FAX unit 8, if the status is an error and the status is termination about error processing, FIFO will be disabled, the post process of the FAX unit 8 is performed, the FIFO transfer channel of system DMA controller 23 is disabled, and a series of transfers are ended.

[0169] Moreover, when a DMA transfer is completed, a transfer of the following data block is performed. This actuation is repeated until the termination interrupt from the FAX unit 8 occurs.

[0170] Drawing 23 is a flow chart which shows other examples of FAX input process.

[0171] First, to the FAX unit 8, if there are at least one received data, it will set up so that the transfer request to the page memory 28 may be generated.

[0172] Next, it sets up so that it may transmit to system DMA controller 23 by 1 word unit to the request from the FAX unit 8.

[0173] Next, the start address and size of a FIFO field are set up to FIFO of a transfer channel. Thereby, the page memory 28 becomes usable as a FIFO memory.

[0174] Next, it is set as the data control circuit 27 and the system control circuit 21, and the data from the FAX unit 8 to the page memory 28 and an address path are created.

[0175] Next, FIFO is enabled and it changes into the condition which can be operated. Therefore, after this, the light of data is possible for the FAX unit 8 until the FIFO status becomes full (i.e., until the opening in which a light is possible is lost to a FIFO field), and if there are data which can lead a FIFO field, an image bus device (compressing expanding circuit 211 in this case) can read data until the FIFO status becomes empty.

[0176] Next, if the existence of interruption from the FAX unit 8 is investigated and there is interruption from the FAX unit 8, the status is led from the FAX unit 8, if the status is an error and the status is termination about error processing, FIFO will be disabled, the post process of the FAX unit 8 is performed, the FIFO transfer channel of system DMA controller 23 is disabled, and a series of transfers are ended.

[0177] Next, output processing of the code data (compression image data) from the page memory 28 to the FAX unit 8 is explained.

[0178] Drawing 24 is a flow chart which shows an example of FAX output processing.

[0179] First, to the FAX unit 8, when the received data of a constant rate can be incorporated, it sets up so that the transfer request to the page memory 28 may be generated.

[0180] Next, the start address and size of a FIFO field are set up to FIFO of a transfer channel. Thereby, the page memory 28 becomes usable as a FIFO memory.

[0181] next, path creation of the data from the page memory 28 to [set it as the data control circuit 27 and the system control circuit 21, and] the FAX unit 8, and the address — it carries out.

[0182] Next, FIFO is enabled and it changes into the condition which can be operated. Therefore, after this, if the opening in which a light is possible is in a FIFO field, an image bus device (compressing expanding circuit 211 in this case) can write in data until the FIFO status becomes full.

[0183] Next, a system CPU 11 leads the register of FIFO, investigates the non-read-out amount of data of a FIFO field, and it waits for it until it reaches the amount of data for transfer size to the FAX unit 8. If the amount of data for transfer size is reached, transfer size will be set as system DMA controller 23, and a DMA transfer will be started.

[0184] Next, if the existence of interruption from the FAX unit 8 and DMA transfer termination are investigated and there is interruption from the FAX unit 8, the status is led from the FAX unit 8, if the status is an error and the status is termination about error processing, FIFO will be disabled, the post process of the FAX unit 8 is performed, the FIFO transfer channel of system DMA controller 23 is disabled, and a series of transfers are ended.

[0185] Moreover, when a DMA transfer is completed, a transfer of the following data block is performed. This actuation is repeated until the termination interrupt from the FAX unit 8 occurs.

[0186] Drawing 25 is a flow chart which shows other examples of FAX output processing.

[0187] First, to the FAX unit 8, when incorporation of data is possible for at least one, it sets up so that the transfer request to the page memory 28 may be generated.

[0188] Next, it sets up so that it may transmit to system DMA controller 23 by 1 word unit to the request from the FAX unit 8.

[0189] Next, the start address and size of a field of FIFO are set up to FIFO of a transfer channel. Thereby, the page memory 28 becomes usable as a FIFO memory.

[0190] Next, it is set as the data control circuit 27 and the system control circuit 21, and the data from the page memory 28 to the FAX unit 8 and an address path are created.

[0191] Next, FIFO is enabled and it changes into the condition which can be operated. Therefore, after this, the lead of data is possible for the FAX unit 8 until the FIFO status becomes empty (i.e., until the data of non-read-out to a FIFO field are lost), and if the opening in which a light is possible is in a FIFO field, an image bus device (compressing expanding circuit 211 in this case) can write in data until the FIFO status becomes full.

[0192] Next, if the existence of interruption from the FAX unit 8 and DMA transfer termination are investigated and there is interruption from the FAX unit 8, the status is led from the FAX unit 8, if the status is an error and the status is termination about error processing, FIFO will be disabled, the post process of the FAX unit 8 is performed, the FIFO transfer channel of system DMA controller 23 is disabled, and a series of transfers are ended.

[0193] Next, the processing in the case of saving the image data read with the scanner 13 at the optical disk unit (ODD) 38 which is a preservation means in the system expansion unit 3 is explained.

[0194] Starting of file registration processing is performed when a user chooses file registration processing on the control panel 12 of the basic unit 1.

[0195] If file registration processing starts, the free area of the page memory 28 and the operating condition of a compressing expanding circuit 211 are checked, and if the system CPU 11 is usable, it will notify file registration starting to the escape CPU 31 of the system expansion unit 3 through the communication link memory 25 of the system control circuit 21.

[0196] When there is no free area on the page memory 28, "the page memory FULL" is displayed on a control panel 12, when the compressing expanding circuit 211 is using it by other processings (for example, FAX transceiver processing), "Device FULL" is displayed on a control panel 12, and file registration processing is terminated.

[0197] CPU31 of the system expansion unit 3 will perform many setup of registration processing to an optical disk unit 38, if file registration processing starts, FIFO on the page memory 28 is set as the source, and it sets an optical disk unit 38 as DMA controller 32 of the system expansion unit 3 as the destination, and changes both into the transfer standby condition. And the FIFO control signal (FIFO-FULL, FIFO-EMP, FIFO-HALF) with which the address control circuit 26 outputs whether data were written in the FIFO field to the system control circuit 21 is supervised for every fixed time amount.

[0198] In order that CPU11 of the basic unit 1 may write data in the page memory 28 from a scanner 13 at coincidence, an address generation channel is set as the address control circuit 26, a data transfer channel, the source (image data I/F210), the destination (page memory 28), a transfer byte count, etc. are set as the image data transfer control section 701, and a predetermined setup is performed to a scanner 13 and image data I/F210, and data are incorporated to the page memory 28 by the pixel in 1 bit /.

[0199] Next, CPU11 of the basic unit 1 performs many setup of compression processing to a compressing expanding circuit 211. It sets up so that a setup which sends the data read in the page memory 28 with the scanner 13, using the transfer channel of the image data transfer control section 701 two channels to a compressing expanding circuit 211, and the data compressed in the compressing expanding circuit 211 may be written in the FIFO field of the page memory 28. The FIFO channel used when writing the address generation channel and compressed data which are used when reading data from the page memory 28 to the address control circuit 26 in the page memory 28 is set up, and data transfer is made to start.

[0200] Data are inputted into a compressing expanding circuit 211 in order of the address which this set as the address generation channel from the page memory 28, and the data compressed in the compressing expanding circuit 211 are written in the FIFO field of the page memory 28 one by one.

[0201] CPU31 of the system expansion unit 3 supervises FIFO-HALF, and only the predetermined amount of data makes it start data transfer to extended DMA controller 32, when data are stored in a FIFO field. It repeats until this is transmitted to all compressed data.

[0202] A compressing expanding circuit 211 will apply compression termination interruption to CPU11 of the basic unit 1, if 1-page compression is completed. By leading the transfer counted value (transfer channel from a compressing expanding circuit 211 to the FIFO field of the page memory 28) of the terminal counter 745 of the image data transfer control section 701, CPU11 can know the amount of compressed data of one page, and notifies this to CPU31 of the system expansion unit 3 through the communication link memory 25.

[0203] CPU31 of the system expansion unit 3 terminates data transfer in the place where the data transfer from FIFO to an optical disk unit 38 reached this amount of compressed data. In two or more pages file registration processing, the processing after the data transfer from the page memory 28 for compression processing to a compressing expanding circuit 211 and the data input processing to the page memory 28 from the scanner 13 of the following page operate in parallel.

[0204] Next, the processing which carries out the printout of the image information saved at the optical disk unit 38 in the system expansion unit 3 from the printer 15 of the basic unit 1 is explained.

[0205] It generates by a user's selection on the control panel 12 of the basic unit 1 like file registration processing, and starting is notified to CPU31 of the system expansion unit 3 through the communication link memory 25. Moreover, when it is in a condition [that the device (the

page memory 28, a compressing expanding circuit 211, an optical disk unit 38, extended DMA controller 32) to be used cannot use it], CPU11 of the basic unit 1 displays "device-FULL" on a control panel 12, and terminates file printout processing.

[0206] CPU31 of the system expansion unit 3 will perform many setup of printing (read-out) processing to an optical disk unit 38, if file printout processing starts, FIFO on the page memory 28 is set as the destination, and it sets an optical disk unit 38 as DMA controller 32 of the system expansion unit 3 as the source, and changes both into the transfer standby condition.

[0207] And the FIFO control signal (FIFO-HALF) with which the address control circuit 26 outputs whether a predetermined free area is in a FIFO field to the system control circuit 21 is supervised for every fixed time amount, and if there is a free area, DMA controller 32 will be made to start data transfer. This is repeated by 1 page.

[0208] CPU11 of the basic unit 1 performs many setup of the expanding processing to a compressing expanding circuit 211 to coincidence, and two transfer channels of the image data transfer control section 701 are used. As one channel carries out expanding processing of the data written in the FIFO field of the page memory 28 from the optical disk unit 38, it is made into the source. The FIFO field of the page memory 28, Set up a compressing expanding circuit 211 as the destination, and in order that one more channel may write the elongated data in the page memory 28, set up a compressing expanding circuit 211 as the source, and the page memory 28 is set up as the destination. The address channel which generates the address for writing in the channel for the data lead from FIFO and the elongated data to the address control circuit 26 is set up, and data transfer is started.

[0209] In this way, the compressed data read from the optical disk unit 38 is written in the predetermined field of the page memory 28 as an image data, after expanding processing is performed through the FIFO field of the page memory 28 in a compressing expanding circuit 211.

[0210] A compressing expanding circuit 211 will notify expanding processing termination by interruption to CPU11 of the basic unit 1, if 1-page termination is interpreted out of compressed data in expanding processing.

[0211] CPU11 of the basic unit 1 sets up a printer 15 as the page memory 28 and the destination where the data elongated as the source next are stored, sets the address generation channel which outputs the data reading **** address from the page memory 28 as the address control circuit 26, and after it performs a predetermined setup for printing processing to image data I/F210 and a printer 15, it makes data transfer start.

[0212] The image data elongated in order of the address which this set as the address generation channel from the page memory 28 is outputted to a printer 15 through image data I/F210, and is visualized by the printer 15.

[0213] Termination of 1-page printing processing outputs a printing termination interrupt from a printer 15 to CPU11 of the basic unit 1. Printing processing of the data elongated in two or more pages file printout processing and expanding processing of degree page operate in parallel.

[0214] Next, concurrency actuation is explained.

[0215] It is possible to process to coincidence two or more processings in which the device (a scanner 13, a printer 15, a compressing expanding circuit 211, resolution conversion and a binary rotation circuit 212) used does not compete with this image formation equipment.

[0216] For example, after carrying out resolution conversion of the image on the page memory 28 for accumulating image data to the input process of the image from the scanner 13 to the page memory 28, output processing to the printer 15 of the image on the page memory 28, and an optical disk unit 38, since the device used does not compete, concurrent processing of resolution conversion / compression processing and these which carry out compression processing is possible.

[0217] For example, scanner input process (scanner 13 → image-processing circuit 14 → image data I/F210 → data control circuit 27 → page memory 28), Printer output processing (Page memory 28 → data control circuit 27 → image data I/F210 → image-processing circuit 14 → scanner 13) And resolution conversion / compression processing () [page memory 28 → data control circuit 2] Three processing concurrent processing of the 7 → resolution conversion and

binary rotation circuit 212 → data control circuit 27 → compressing expanding circuit 211 → data control circuit 27 → page memory 28 is described.

[0218] The image bus 29 is a single master configuration in which only the data control circuit 27 on an image bus serves as a master, and each I/O device requires a DMA transfer from a master by activating a DMA transfer request (BDRQ) signal.

[0219] A master arbitrates the DMA request from an I/O device, sends out the DMA response (BDAK) signal with which a DMA transfer is permitted only to one I/O device, and performs data transfer.

[0220] Fundamental data transfer timing when a DMA transfer request signal does not have to carry out a priority control only by one is shown in drawing 26 and drawing 27. Moreover, the connection mimetic diagram of each device of three processings, scanner input process, printer output processing, and resolution conversion / compression processing, the DMA transfer request (BDREQ) signal of the data control circuit 27, and a DMA response (BDACK) signal is shown in drawing 28.

[0221] Moreover, if the correspondence of a DMA transfer request signal channel to each device is described BDRQ0 - 1 With an output a channel A scanner 13 and BDRQ1 In an input the channel of 1 - A printer 15 and BDRQ2 - 1 A channel is resolution conversion and the binary rotation circuit 212, and BDRQ 3-1 by the output. A channel is resolution conversion and the binary rotation circuit 212, and BDRQ 4-1 by the input. With an output a channel A compressing expanding circuit 211 and BDRQ 5-1 A ** channel is a compressing expanding circuit 211 and BDRQ 6-1 by the input. A channel is the extension image bus 45 and BDRQ 7-1 by the output. The channel supports the extension image bus 45 in the input, respectively.

[0222] When these three processings start to coincidence, image data carries out time-sharing processing of the image bus top, and is transmitted. The priority control of data transfer is performed based on the DMA transfer request signal from each device in the image bus priority-control circuit 741 in the data control circuit 27, and outputs a DMA reply signal (BDACK) to the only device.

[0223] Next, the priority control of the priority-control circuit 741 is described.

[0224] The priority-control circuit 741 has become possible [each thing done for a high priority and assignment of a low priority per transfer channel]. When the transfer request from two or more transfer channels takes place to coincidence, The priority-control circuit 741 gives priority to a transfer of the transfer channel of high priority assignment over the transfer channel of low priority assignment, and permits it. When the transfer request of the transfer channel of the same priority (high priority assignment and low priority assignment) competes, data transfer is permitted to the transfer request of a device with the oldest data transfer performed before one in the device which outputted the transfer request.

[0225] Assignment of a high priority cannot suspend temporarily image data transfer of a scanner 13 and printer 15 grade, and is performed to the device which must carry out data transfer with the regular period.

[0226] Since both processings that used the compressing expanding circuit 211, and resolution conversion and a binary rotation circuit 212 with devices other than scanner 13 and printer 15, i.e., resolution conversion / compression processing, are the page memory 28, there is no limit like a scanner 13 or a printer 15 in a data transfer time, and even if entry-of-data origin and an output destination change suspend data transfer temporarily on the way, a problem does not have them. Thus, an inputting agency and an output destination change perform assignment of a low priority to the device of the processing which is the page memory 28.

[0227] When the state transition of an image bus transfer is shown, it comes to be shown in drawing 29. The condition of an idle state is held in the condition that one does not have a transfer request from a device in drawing. The condition that data transfer is not performed on the image bus 29 is expressed as the idle state.

[0228] When one transfer request occurs in an idle state, the state transition of the transfer cycle is carried out as follows.

[0229] When a DMA transfer request is one, a transfer cycle serves as the 8 State. Namely, an idle → mediation cycle (1) → mediation cycle (2) → transfer cycle (1) → transfer cycle (2) →

transfer cycle (3) → transfer cycle (4) → transfer cycle (5) It changes like → idle.

[0230] The 1 State is equivalent to 1 of a basic clock clock here, and the timing comes to be shown in drawing 26 and drawing 27 . The period which actually occupies the image bus 29 at this time is four clock among eight clocks, and others serve as a mediation cycle and a transfer termination cycle.

[0231] Moreover, it responds to the State which is an image transfer cycle under present activation when the DMA request becomes active when the DMA transfer request from other devices becomes active into an image data transfer cycle, and is a transfer cycle (2). (3) (4) (5) It goes into the mediation cycle which chooses the channel of the next image data transfer from the State.

[0232] Thus, since the mediation cycle which chooses image data transfer and the following data transfer channel is performed to coincidence so that the channel which requires image data transfer increases, the image bus 29 top will perform data transfer from a degree to a degree by four clock cycles. At this time, an image transfer is a transfer cycle (1). → transfer cycle (2) → mediation cycle (1) → (transfer cycle (3)) mediation cycle (2) → (transfer cycle (4)) transfer cycle (1) It changes like.

[0233] When a flow chart shows the priority control of said image bus priority structure control circuit 741, it comes to be shown in drawing 30 .

[0234] It is confirmed whether there is any DMA transfer request from an I/O device first. When a DMA transfer request is active, the priority-control circuit 741 checks the condition of the image bus 29 at that time, and the condition of the image bus 29 is a transfer cycle (2). (3) (4) (5) Or when it is an idle state, it goes into a mediation cycle.

[0235] The mediation cycle is divided into two cycles. In the 1st cycle (mediation cycle (1)), it is confirmed whether there is any DMA request of high priority assignment. When there is a DMA request of high priority assignment, the transfer request from the I/O device of low priority assignment that the DMA transfer is similarly demanded is disregarded. Thereby, it is a mediation cycle (1). The request from the I/O device of priority assignment of the same level remains then.

[0236] Next, in the 2nd cycle (mediation cycle (2)), one transfer channel which should be transmitted from the transfer request of the same level is chosen.

[0237] Drawing 31 is the block diagram showing the configuration of a transfer channel selection circuitry, and this selection circuitry consists of D latches 905 who latch temporarily the barrel shifter 901 only for right shifts, the barrel shifter 902 only for left shifts, the priority selector 903, an encoder 904, and data.

[0238] Channel selection (priority control) by this selection circuitry is performed by the round robin. That is, the priority of the channel which performed image data transfer becomes the lowest in the following mediation cycle.

[0239] An initial priority is BDRQ0. It is the highest and is BDRQ7. It is the lowest. The data transfer before one was permitted to the barrel shifter 901 only for right shifts, and it carries out a channel part right shift, and is outputted.

[0240] The priority selector 903 chooses and outputs the only channel transmitted from two or more transfer requests.

[0241] Said priority selector 903 is constituted by gate circuits 911-917 as shown in drawing 32 .

[0242] The input D7 of the priority selector 903 – D0 Inside and D0 A priority is the highest and it is D7. A priority is the lowest. In the priority selector 903, only the highest input (request nearest to D0) of a priority is outputted as it is, and the other request is disregarded.

[0243] The barrel shifter 902 only for said left shifts serves to return the request of a transfer channel by which the right shift was carried out by the barrel shifter 901 only for right shifts. The output of the barrel shifter 902 only for these left shifts is outputted based on the timing signal which the image bus time control circuit 742 outputs as a DMA reply signal (BDAK 7-0). Moreover, the output of the barrel shifter 902 only for these left shifts is encoded by 3-bit binary data with an encoder 904, and is latched to the D latch 905 as a shift amount of the barrel shifter in the following mediation cycle.

[0244] As mentioned above, by performing high priority assignment to the scanner input and printer output which cannot suspend image data transfer on the way, priority can be given over a request from the device of low priority assignment, an image transfer can be performed, and data transfer is not interrupted on the way.

[0245] However, data transfer can be kept waiting, when the request of high priority assignment competes during the image data transfer of low priority assignment and the royalty of a bus is taken by the other party. The image bus interface of each device is equipped with about four steps of FIFO buffers which store image data temporarily in consideration of this.

[0246] When image data transfer is not able to be performed by predetermined time amount by this, data are taken out from the FIFO buffer predicted beforehand, it outputs to a printer 15 or the data from a scanner 13 are temporarily stored in the FIFO buffer, when the royalty of a bus is acquired, data can be outputted on the image bus 29 from a FIFO buffer, and it seems to perform data transfer by predetermined time amount seemingly.

[0247] However, if high priority assignment is performed recklessly, a problem will arise. Suppose temporarily that there were five devices which need to perform data transfer on a 1-time image bus to 16 clock cycles. Since all five channels are high priority assignment when these [all] are made high priority assignment and coincidence is made to perform processing, five transfers are repeated by turns.

[0248] One data transfer cycle is cut in four clocks noting that a mediation cycle is able to be processed in an image transfer cycle. When five transfer channels are performed once, respectively, it will cut in 20 clocks and the transfer cycle of the device of 1 time can be protected on 16 clocks.

[0249] In order to avoid this, when there is a demand of the processing accompanied by the data transfer on an image bus, CPU11 checks beforehand the data-transfer period of the image data-transfer channel under current activation, and the data-transfer period of the demanded processing is checked, and the demanded processing is stood by or stopped when fault which was mentioned above by performing demanded processing arises.

[0250] As mentioned above, since each device on the image bus 29 changes data width of face into the data width of face of the image bus 29 according to the number of bits of 1 pixel on a device and data transfer is performed, it is not necessary to store the image data of different bit width of face in the memory of respectively dedication, and the data of bit width of face which is different in the page memory 28 of the same configuration can be memorized. Therefore, memory can be used effectively. Moreover, since the read multiple-value image is accumulated in the page memory 28 as it is and a printout can be further carried out by the printer 15 by making it into a multiple-value image, a printout can be carried out, without carrying out image degradation of the read multiple-value image.

[0251] Moreover, in order for each device on the image bus 29 to change data width of face into the data width of face of the image bus 29 according to the number of bits of 1 pixel on a device and to perform data transfer, Since it is always the same and the transfer occupancy time amount on an image bus becomes short regardless of bit width of face of 1 pixel as for data with smaller bit width of face of 1 pixel, the transfer bandwidth on an image bus can take many multiplicities of the transfer processing on an image bus, and can improve the effectiveness of transfer processing.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the Invention] As explained in full detail above, according to this invention, binary image data and multiple-value image data can be accumulated in the same memory with a gestalt as it is, and the image formation equipment which can carry out image formation can be offered, without carrying out image degradation of the multiple-value image, while being able to perform a deployment of memory.

[0253] Moreover, many multiplicities of the transfer processing on an image bus can be taken, and the image formation equipment which can improve the effectiveness of transfer processing can be offered.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] The whole block diagram showing one example of this invention.
- [Drawing 2] The block diagram showing the configuration of the basic unit of this example.
- [Drawing 3] The block diagram showing the configuration of the system basic unit of this example.
- [Drawing 4] The block diagram showing the configuration of the system expansion unit of this example.
- [Drawing 5] The block diagram showing the configuration of the image-processing circuit of drawing 2 .
- [Drawing 6] The block diagram showing the configuration of the system control circuit of drawing 3 .
- [Drawing 7] The block diagram showing the configuration of the communication link memory access control circuit of drawing 6 .
- [Drawing 8] The block diagram showing the configuration of the page memory access control circuit of drawing 6 .
- [Drawing 9] The block diagram showing the configuration of the address control circuit of drawing 3 .
- [Drawing 10] The block diagram showing the configuration of the address generation section of drawing 9 .
- [Drawing 11] Drawing showing the example of the direction of address generation of the address generation section of drawing 9 .
- [Drawing 12] Drawing showing the concept in the case of carrying out two-dimensional access of the page memory of drawing 3 .
- [Drawing 13] Drawing which expressed two-dimensional access of the page memory of drawing 3 with the linear address.
- [Drawing 14] The block diagram showing the configuration of the data control circuit of drawing 3 .
- [Drawing 15] The block diagram showing the configuration of the image-processing section of drawing 14 .
- [Drawing 16] The block diagram showing the configuration of the data path section for a lead in drawing 15 .
- [Drawing 17] The block diagram showing the configuration of the data path section for lights in drawing 15 .
- [Drawing 18] The block diagram showing the configuration of the image data transfer control section of drawing 14 .
- [Drawing 19] Drawing showing the data transfer timing on the image bus when carrying out data transfer from page memory to an I/O device in this example.
- [Drawing 20] Drawing showing the data transfer timing on the image bus when carrying out data transfer from an I/O device to page memory in this example.
- [Drawing 21] The block diagram showing the configuration of the image data interface of drawing 3 .

- [Drawing 22] The flow chart showing an example of the FAX input process of this example.
[Drawing 23] The flow chart showing other examples of the FAX input process of this example.
[Drawing 24] The flow chart showing an example of FAX output processing of this example.
[Drawing 25] The flow chart showing other examples of FAX output processing of this example.
[Drawing 26] Drawing showing the fundamental data transfer timing when not carrying out a priority control in this example.
[Drawing 27] Drawing showing the fundamental data transfer timing when not carrying out a priority control in this example.
[Drawing 28] The block diagram showing the signal used for each processing of a scanner input, a printer output, and resolution conversion / compression in this example.
[Drawing 29] Drawing showing the state transition of the image bus transfer in this example.
[Drawing 30] The flow chart showing image bus mediation processing of this example.
[Drawing 31] Drawing showing the configuration of the transfer channel selection circuitry in this example.
[Drawing 32] The circuit diagram showing the configuration of the priority selector in drawing 31 .

[Description of Notations]

- 1 -- Basic unit
- 2 -- System basic unit
- 11 -- System CPU
- 13 -- Image scanner
- 14 -- Image-processing section
- 15 -- Printer
- 21 -- System control circuit
- 26 -- Address control circuit
- 27 -- Data control circuit
- 28 -- Page memory
- 210 -- Image data interface
- 211 -- Compressing expanding circuit
- 212 -- Resolution conversion and binary rotation circuit

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-282639

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/64	4 5 0 A	7631-5L		
15/68	3 1 0	9191-5L		
H 0 4 N 1/21		7232-5C		
1/40	F	9068-5C		

審査請求 未請求 請求項の数 6 O L (全 29 頁)

(21)出願番号 特願平5-67101

(22)出願日 平成5年(1993)3月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 町田 弘信

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72)発明者 渡邊 功一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

(72)発明者 笹間 和雄

神奈川県川崎市幸区柳町70番地 東芝イン
テリジェントテクノロジー株式会社内

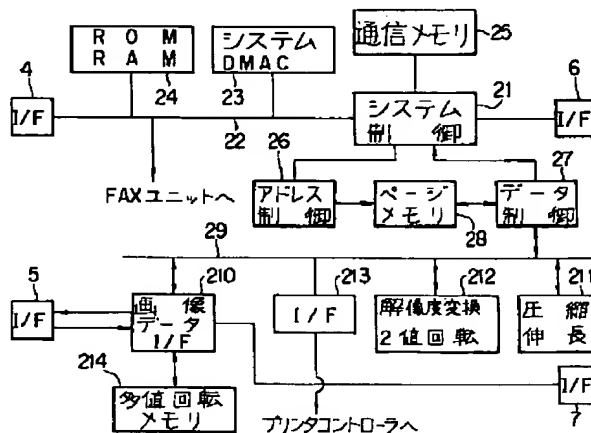
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 画像形成装置

(57)【要約】

【目的】 2値と多値の画像データをそのままの形態で同一のメモリに蓄積することによりメモリの有効利用を図る。

【構成】 画像を2値化及び多値化して入力するスキャナと、画像データを記憶するページメモリ28と、2値画像データ及び多値画像データを出力し画像形成するプリンタと、スキャナからの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のままページメモリに蓄積する画像データインターフェース210を設けている。



【特許請求の範囲】

【請求項1】 画像を2値化及び多値化して入力する入力手段と、画像データを記憶するメモリと、2値画像データ及び多値画像データを出力し画像形成する出力手段と、前記入力手段からの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のまま前記メモリに蓄積する画像データ蓄積制御手段とを具備したことを特徴とする画像形成装置。

【請求項2】 メモリに対して2値画像データ及び多値画像データを異なるタイミングで蓄積することを特徴とする請求項1記載の画像形成装置。

【請求項3】 メモリに対して2値画像データ及び多値画像データを同じタイミングで混在して蓄積することを特徴とする請求項1記載の画像形成装置。

【請求項4】 画像データ蓄積制御手段は、前記入力手段からの画像データのビット幅に応じてまとめる画素数を変化し、画像データを所定ビット幅単位に変換するデータ変換手段と、このデータ変換手段にて変換された画像データを、その画像データと同じ所定ビットのデータ幅で前記メモリに転送するデータ転送手段とを設けたことを特徴とする請求項1記載の画像形成装置。

【請求項5】 画像を2値化及び多値化して入力し、一旦入力動作を開始すると一連の画像入力処理が終了するまで動作を停止させることができない入力手段と、画像データを記憶するメモリと、2値画像データ及び多値画像データを出力し一旦出力動作を開始すると一連の画像出力処理が終了するまで動作を停止させることができない出力手段と、画像データの解像度変換、画像データの圧縮及び伸長、画像データの送受信制御等を行うデータ処理・制御手段と、前記入力手段からの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のまま前記メモリに蓄積する画像データ蓄積制御手段とを具備し、前記画像データ蓄積制御手段は、前記メモリと前記入力手段、出力手段及びデータ処理・制御手段との間の画像データ転送を、前記入力手段、出力手段からの転送要求及びデータ処理・制御手段からの各種転送要求を時分割で同時並行処理して実行する転送制御手段を設け、前記転送制御手段は、さらに前記入力手段及び出力手段からの転送要求に対しては優先的に交互に許可し、かつ前記データ処理・制御手段からの各種転送要求に対しては、前記入力手段及び出力手段からの転送要求が無いときに順次許可することを特徴とする画像形成装置。

【請求項6】 画像を2値化及び多値化して入力し、一旦入力動作を開始すると一連の画像入力処理が終了するまで動作を停止させることができない入力手段と、画像データを記憶するメモリと、2値画像データ及び多値画像データを出力し一旦出力動作を開始すると一連の画像出力処理が終了するまで動作を停止させることができない出力手段と、画像データの解像度変換、画像データの

圧縮及び伸長、画像データの送受信制御等を行うデータ処理・制御手段と、前記入力手段からの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のまま前記メモリに蓄積する画像データ蓄積制御手段と、前記入力手段、出力手段及びデータ処理・制御手段をそれぞれ制御する主制御手段を具備し、

前記画像データ蓄積制御手段は、前記メモリと前記入力手段、出力手段及びデータ処理・制御手段との間の画像データ転送を、前記入力手段、出力手段からの転送要求及びデータ処理・制御手段からの各種転送要求を時分割で同時並行処理して実行する転送制御手段を設け、前記主制御手段は、画像データ転送の元となる処理プロセスの起動及び終了を行うと共に現在実行中の画像データ転送数を監視し、新しい処理プロセスを起動するときには、その処理プロセスに含まれる画像データ転送が実行可能か否かを監視結果に基づいて判断し、その新しい処理プロセスを起動するか、待機させるか、あるいは中止させるかを決定することを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複写機等の画像形成装置に関する。

【0002】

【従来の技術】近年、メモリの大容量化、低コスト化にともない、2値画像の他に多値画像も扱う画像形成装置が開発されている。多値化のメリットは階調画像を扱えること、2値画像で生じる文字・線画の斜線部分のジャギー（ギザギザ）がない等高精細な画像が得られる点にある。

【0003】例えば、特開平4-186971号公報のものは、多値画像データあるいは2値画像データを共通のラインを介して入力する画像入力手段と、2値画像データに対しては多値画像データに変換する2値多値変換手段と、多値画像データを出力する出力手段とを設け、2値多値変換手段においては1ビット／画素の2値データを“0”は“00”、“1”は“FF”のように多値データに変換し、全て多値データにした状態でページメモリに格納するようになっている。

【0004】また、特開平4-199975号公報のものは、多値メモリと、2値メモリと、2つのメモリからデータが混在する領域を検出する検出手段と、混在領域に該当する一方のメモリのデータを他方のメモリの解像度に変換する変換手段と、変換手段によって得られたデータを他方のメモリに展開する手段とを設け、2値データと多値データの合成を行い、かつ多値データに対しては多値データ専用の多値メモリを使用し、2値データに対しては2値データ専用の2値メモリを使用するようになっている。

【0005】さらに、特開平4-247769号公報の

ものは、2値画像と多値画像を扱っているが、多値画像データに対しては2値化手段により2値化を行い、全て2値データとして2値プリンタへ出力している。また、多値画像に対しては多値画像専用のメモリを設けており、特開平4-199975号公報と同様、2値データと多値データを異なるメモリに記憶するようになっている。

【0006】

【発明が解決しようとする課題】特開平4-199975号公報及び特開平4-247769号公報のものは、2値画像用メモリと多値画像用メモリとが別々に設けられているため、2値画像データのみを扱うときは2値画像メモリのみを使用することになって多値画像メモリが無駄になり、逆に多値画像データのみを扱うときは多値画像メモリのみを使用することになって2値画像メモリが無駄になってしまうという問題があった。

【0007】例えば2値画像のみのデータを複数入力している時に2値画像メモリが満杯になると、たとえ多値画像メモリに十分な空きがあっても多値画像メモリを使用することができず、このため2値画像の入力を途中で一旦停止させなければならない問題があり、また2値画像と多値画像の合成のように同時に2値データと多値データを使用する場合においても、2値画像メモリの空き領域と多値画像メモリの空き領域の合計の容量が多値画像を入力することが可能な容量であったとしても、2値画像メモリと多値画像メモリが独立しているため多値画像を2値画像メモリに入力できないという問題がある。

【0008】このようにメモリが別々であると、メモリの空き容量が十分有るにもかかわらず画像の性質が異なるために画像を記憶させることができなく、このためメモリを無駄にするという問題を生じる。

【0009】また特開平4-186971号公報のものは、2値画像と多値画像を同じフォーマットにするため2値画像（1ビット／画素）を必ず多値画像（8ビット／画素）に変換（8倍の画像データに変換）してメモリに格納している。このため2値画像を一枚記憶するのに2値画像データをそのまま記憶するときの8倍の記憶容量を必要とし、また多値画像1ページ分の記憶容量に2値画像が8ページ分記憶することが可能であるのに、多値化しているため1ページしか記憶することができないという問題がある。

【0010】また、多値画像を2値化して、全ての画像を2値データとして扱えばメモリの容量は削減できるが、2値化による画質劣化が生じてしまうという問題がある。

【0011】以上のように、2値画像データと多値画像データの両方を扱うために、それぞれ独立のメモリを設けたものでは、メモリが無駄になるという問題があり、また多値画像のフォーマットに統一してメモリに記憶するものでは、2値画像を記憶する時にメモリを無駄に使

用するという問題があり、さらに2値画像データのフォーマットに統一した場合は2値化による画質劣化が生じるという問題があった。

【0012】そこで本発明は、2値画像データ及び多値画像データをそのままの形態で同一のメモリに蓄積でき、メモリの有効利用ができるとともに多値画像を画像劣化させることなく画像形成できる画像形成装置を提供しようとするものである。

【0013】

【課題を解決するための手段】請求項1対応の発明は、画像を2値化及び多値化して入力する入力手段と、画像データを記憶するメモリと、2値画像データ及び多値画像データを出力し画像形成する出力手段と、入力手段からの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のままメモリに蓄積する画像データ蓄積制御手段とを設けたものである。

【0014】請求項2対応の発明は、請求項1対応の発明において、メモリに対して2値画像データ及び多値画像データを異なるタイミングで蓄積するものである。

【0015】請求項3対応の発明は、請求項1対応の発明において、メモリに対して2値画像データ及び多値画像データを同じタイミングで混在して蓄積するものである。

【0016】請求項4対応の発明は、請求項1対応の発明において、画像データ蓄積制御手段は、入力手段からの画像データのビット幅に応じてまとめる画素数を変化し、画像データを所定ビット幅単位に変換するデータ変換手段と、このデータ変換手段にて変換された画像データを、その画像データと同じ所定ビットのデータ幅で前記メモリに転送するデータ転送手段を設けたものである。

【0017】請求項5対応の発明は、画像を2値化及び多値化して入力し、一旦入力動作を開始すると一連の画像入力処理が終了するまで動作を停止させることができない入力手段と、画像データを記憶するメモリと、2値画像データ及び多値画像データを出力し一旦出力動作を開始すると一連の画像出力処理が終了するまで動作を停止させることができない出力手段と、画像データの解像度変換、画像データの圧縮及び伸長、画像データの送受信制御等を行うデータ処理・制御手段と、入力手段からの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のままメモリに蓄積する画像データ蓄積制御手段とを設け、画像データ蓄積制御手段は、メモリと入力手段、出力手段及びデータ処理・制御手段との間の画像データ転送を、入力手段、出力手段からの転送要求及びデータ処理・制御手段からの各種転送要求を時分割で同時並行処理して実行する転送制御手段を設け、その転送制御手段は、さらに入力手段及び出力手段からの転送要求に対しては優先的に

交互に許可し、かつデータ処理・制御手段からの各種転送要求に対しては、入力手段及び出力手段からの転送要求が無いときに順次許可するものである。

【0018】請求項6対応の発明は、画像を2値化及び多値化して入力し、一旦入力動作を開始すると一連の画像入力処理が終了するまで動作を停止させることができない入力手段と、画像データを記憶するメモリと、2値画像データ及び多値画像データを出力し画像形成する出力手段と、画像データの解像度変換、画像データの圧縮及び伸長、画像データの送受信制御等を行うデータ処理・制御手段と、入力手段からの画像データを所定ビット幅単位に変換し、2値画像データ及び多値画像データをそれぞれの形態のままメモリに蓄積する画像データ蓄積制御手段と、入力手段、出力手段及びデータ処理・制御手段をそれぞれ制御する主制御手段を設け、画像データ蓄積制御手段は、メモリと入力手段、出力手段及びデータ処理・制御手段との間の画像データ転送を、入力手段、出力手段からの転送要求及びデータ処理・制御手段からの各種転送要求を時分割で同時並行処理して実行する転送制御手段を設け、主制御手段は、画像データ転送の元となる処理プロセスの起動及び終了を行うと共に現在実行中の画像データ転送数を監視し、新しい処理プロセスを起動するときには、その処理プロセスに含まれる画像データ転送が実行可能か否かを監視結果に基づいて判断し、その新しい処理プロセスを起動するか、待機させるか、あるいは中止させるかを決定するものである。

【0019】

【作用】このような構成の本発明においては、入力手段から入力される画像データは所定ビット幅単位に変換されて2値画像データ及び多値画像データをそれぞれの形態のままメモリに蓄積される。そしてメモリの2値画像データ及び多値画像データは出力手段により2値画像及び多値画像として画像形成される。

【0020】また入力手段、出力手段からの転送要求及びデータ処理・制御手段からの各種転送要求があると、それらの転送要求を時分割で同時並行処理してメモリに対する画像データ転送を行う。その場合に、入力手段及び出力手段からの転送要求はデータ処理・制御手段からの各種転送要求に対して優先される。

【0021】さらに入力手段、出力手段及びデータ処理・制御手段をそれぞれ制御する主制御手段により、画像データ転送の元となる処理プロセスの起動及び終了が行われると共に現在実行中の画像データ転送数が監視され、新しい処理プロセスが起動されたときには、その処理プロセスに含まれる画像データ転送が実行可能か否かが監視結果に基づいて判断され、処理プロセスを起動するか、待機させるか、あるいは中止させるかが決定される。

【0022】

【実施例】以下、本発明の一実施例を図面を参照して説

明する。

【0023】図1は画像形成装置の全体構成を示すブロック図で、この装置は、基本的な複写機能を実行する基本ユニット1、本装置を他のシステムと接続する時に画像データを一時的に記憶したり、画像データを編集・加工して複写するときに画像データを記憶するページメモリ等を有するシステム基本ユニット2、前記基本ユニット1から入力した画像データを電子的かつ半永久的に保存するための光ディスク装置等を有し、かつ他のシステムとの間で画像データあるいは制御データをやりとりする時に、画像データ及び制御データを他のシステムの制御体系、画像フォーマットに変換する制御手段を有するシステム拡張ユニット3の3つのシステムで構成されている。

【0024】前記基本ユニット1とシステム基本ユニット2は制御データをやりとりする基本部システムインタフェース4と画像データをやりとりする基本部画像インタフェース5とにより接続されている。

【0025】前記システム基本ユニット2とシステム拡張ユニット3は制御データをやりとりする拡張部システムインタフェース6と画像データをやりとりする拡張部画像インタフェース7とにより接続されている。

【0026】すなわち前記基本ユニット1とシステム拡張ユニット3とは直接接続されておらず、制御データ及び画像データのやりとりは必ずシステム基本ユニット2を介して行われるようになっている。

【0027】この画像形成装置は、システム基本ユニット2及びシステム拡張ユニット3の接続の有無により3つの形態をとる。

【0028】すなわち第1の形態は基本ユニット1のみの構成で、この構成での基本的な機能は複写機能であり、拡大縮小処理やマスキング／トリミング処理等の簡易的な編集処理を伴う複写処理が可能である。

【0029】第2の形態は基本ユニット1にシステム基本ユニット2を接続した形態で、この形態では基本ユニット1での複写機能のほかに、画像データを一時的に記憶するページメモリを用いて、画像の回転処理、複数の画像の合成処理等の編集処理が可能となる。また、このシステム基本ユニット2には、システム拡張ユニット3の他にファクシミリ等の通信回線制御手段を構成するFAX（ファクシミリ）ユニット8及び基本ユニット1のプリンタを外部のパソコン等の制御機器のリモートプリンタとして使用するためのプリンタコントローラ9を接続することが可能となっており、このFAXユニット8から通信回線を介して他のシステムや機器に画像を送信したり、逆に通信回線を介して他のシステムや機器から画像データを受信することが可能であり、受信した画像データは基本ユニット1に送られ後述するプリンタにより印字出力される。

【0030】第3の形態は基本ユニット1、システム基

本ユニット2及びシステム拡張ユニット3を接続した形態で図1に示す形態となる。

【0031】この形態においては第1及び第2の形態での機能の他に画像データを電子的かつ半永久的に保存し、保存した画像データを管理するデータ保存/管理機能、後述するローカルエリアネットワーク(LAN)回線制御手段からLAN回線を介して他のシステムや機器に画像を送信したり、逆にLAN回線を介して他のシステムや機器から画像データを受信するLANによる画像データの送受信機能、汎用インタフェースを介してパーソナルコンピュータから送られてくる印字制御コードをイメージデータに変換し、システム基本ユニット2のページメモリを介して基本ユニット1のプリンタから上記イメージデータを印字出力するプリンタ機能等が可能となる。

【0032】前記基本ユニット1は、図2に示すように、制御部本体を構成するシステムCPU11、操作部及び表示部を備えたコントロールパネル12、原稿から画像を読み取る入力手段としてのイメージスキャナ13、画像処理回路14及び出力手段としてのプリンタ15で構成されている。前記システムCPU11は基本部システムバス16を介してコントロールパネル12、スキャナ13、画像処理回路14及び画像形成出力を行う出力手段としてのプリンタ15と接続され、これらを制御するようになっている。この基本部システムバス16は前記基本部システムインタフェース4に接続されている。

【0033】前記スキャナ13は列状に配置された複数(1ライン)の受光素子からなるCCDラインセンサ(図示せず)を有し、原稿台(図示せず)に載置された原稿の画像をシステムCPU11からの指示に従い1ライン毎に読みとり、画像の濃淡を8ビットのデジタル・データに変換した後、スキャナインタフェースを介して、同期信号と共に時系列デジタル・データとして画像処理回路14へ出力する。

【0034】前記プリンタ15は、レーザ光学系(図示せず)と転写紙に画像形成が可能な電子写真方式を組み合わせた画像形成部(図示せず)から構成され、システムCPU11からの指示に従い画像処理回路14から4ビットのデジタル画像データをプリンタインタフェースを介して、同期信号に同期して入力し、画像データの大きさに応じたパルス幅のレーザ光により感光体ドラム(図示せず)上に静電潜像を形成した後、可視化手段(図示せず)により上記静電潜像を可視化し、転写手段(図示せず)により可視化された画像を転写紙に転写し、定着手段(図示せず)により転写紙上の画像を定着して該転写紙を出力するものである。

【0035】前記コントロールパネル12は、本装置の動作モードやパラメータを設定する操作部とシステムの状態、またはシステム基本ユニット2のページメモリに

格納された画像イメージを表示する表示部から構成される。

【0036】前記システムCPU11は、後述するシステム基本ユニット2の各部も制御するようになっている。

【0037】前記画像処理回路14は、図5に示すように、平滑化エッジ強調回路141、編集/移動回路142、拡大/縮小回路143及び階調変換回路144からなる。

【0038】前記平滑化エッジ強調回路141は、画像読み取り時に混入したノイズを平滑化回路により除去し、平滑化によってボケが生じたエッジをエッジ強調回路により先鋭化する。

【0039】前記編集/移動回路142は、ライン単位の簡易的な編集処理を行うブロックで、例えばライン方向の移動処理、マスキング/トリミング処理を行う。

【0040】前記拡大/縮小回路143は、指定した変倍率に応じた画素の繰り返し処理あるいは間引き処理と補間処理の組み合わせにより拡大縮小処理を行う。

【0041】前記階調変換回路144は、面積階調手法を用いて前記スキャナ13で読み取った1画素8bitの画像データを指定した階調数に階調変換する。そして階調変換した画像データはプリンタのビット数である1画素4bitの画像データでプリンタ15、あるいはスキャナデータバス17および前記基本部画像インタフェース5を介して前記システム基本ユニット2へ送られる。

【0042】前記プリンタ15の入出力特性の非線形性の補正は面積階調手法を用いて階調処理を行うときに同時に行われる。

【0043】前記システム基本ユニット2は、図3に示すように、画像データを一時的に記憶しておくページメモリ28、基本ユニット1内のシステムCPU11とシステム拡張ユニット3内のCPUとの制御情報の通信を制御したり、基本ユニット1およびシステム拡張ユニット3からのページメモリ28へのアクセスを制御するシステム制御回路21、ページメモリ28のアドレスを生成するページメモリアドレス制御回路26、システム基本ユニット2内の各デバイス間のデータ転送を行う画像バス29、この画像バス29を介してページメモリ28と他のデバイスとのデータ転送を行うときのデータ転送を制御するページメモリデータ制御回路27を設けている。

【0044】また、基本部画像インタフェース5を介して基本ユニット1と画像データを転送するときに画像データをインタフェースする画像データI/F210、解像度の異なる機器に画像データを送信するときに画像データを他の機器の解像度に変換したり、解像度の異なる機器から受信した画像データを基本ユニット1のプリンタ15の解像度に変換したり、2値画像データの90度

10

20

30

40

50

回転処理を実行する解像度変換2値回転回路212、ファクシミリ送信や光ディスク記憶のように画像データを圧縮して送信したり、記憶したりするデバイスのために入力した画像データを圧縮したり、圧縮された形態の画像データがプリンタ15を介して可視化するために伸長する圧縮／伸長回路211を設けている。

【0045】また、文字フォントが記憶されているFONTメモリ、システムCPU11が使用する制御情報を一時的に記憶するワークメモリ、システム基本ユニット2を使用して処理を行う時の処理プログラムが記憶されているプログラムメモリ等で構成されるシステムメモリ（ROM／RAM）24、基本部システムバス16のデバイス間でのデータ転送を高速に行うためのシステムDMAコントローラ23、プリンタコントローラ9とシステムCPU11との間で制御情報のやり取りをしたり、プリンタコントローラ9と画像バス29との間で画像データ転送を行うときに上記制御情報および画像データをインタフェースするプリンタコントローラインタフェース213を設けている。

【0046】さらに、システム制御回路21に接続され、システムCPU11とシステム拡張ユニット3のCPUとの間で制御情報の通信を行うときに制御情報を記憶させるための通信メモリ25、画像データI/F210に接続され、プリンタ15から画像データを出力するときに画像データを90度あるいは180度回転して出力するときに使用する多値回転メモリ214を設けている。

【0047】なお、前記FAXユニット8及びプリンタコントローラ9はオプションにより接続されようになっている。

【0048】前記システム拡張ユニット3は、図4に示すように、内部の各デバイスを拡張部システムバス43を介して制御する拡張CPU31、拡張部システムバス43上でのデータ転送を制御する拡張DMAコントローラ32、汎用的なISAバス44、拡張部システムバス43とISAバス44をインタフェースするISAバスコントローラ33、拡張部システムバス43に接続され画像データを電子的に保存するための保存手段、例えばハードディスク装置35、そのインタフェースであるハードディスクインタフェース34、前記ISAバス44に接続され画像データを電子的に保存するための保存手段、例えば光ディスク装置38、そのインタフェースである光ディスクインタフェース37、LAN機能を実現するためのローカルエリアネットワーク回線制御装置（LAN）41、プリンタ機能を実現するためのプリンタコントローラ制御装置40、G4・FAX制御機能有するG4・FAX制御回路39、SCSI仕様のデバイスを接続するときに使用する拡張SCSIインタフェース42、前記プリンタコントローラ制御装置40からのイメージデータを前記拡張画像インタフェース7を介

してシステム基本ユニット2へ出力するための拡張部画像バス45、前記拡張部システムバス43と拡張部画像バス45との間でデータをやりとりするときのインタフェースを行うバッファメモリ36で構成される。

【0049】なお、前記光ディスクインタフェース37、光ディスク装置38、G4・FAX制御回路39、プリンタコントローラ制御装置40、ローカルエリアネットワーク回線制御装置41、拡張SCSIインタフェース42はオプションでありシステム拡張ユニット3から着脱可能な構成となっている。

【0050】前記光ディスク装置38は、インタフェース37を介してISAバス44と接続され、前記拡張CPU31は、SCSIコマンドを用いて拡張部システムバス43、ISAバスコントローラ33、ISAバス44を介して前記光ディスク装置38を制御する。

【0051】前記ローカルエリアネットワーク回線制御装置41は、接続されるネットワークシステムのプロトコルに基づいてネットワーク上の他の機器と制御データやイメージデータの通信を制御する回線制御部、LANからの通信制御データやイメージデータ、あるいはシステム拡張バスからの制御データやイメージデータを一時的に格納しておく共有メモリ、システム拡張バスインタフェースから構成される。

【0052】前記プリンタコントローラ制御装置40は、パーソナルコンピュータとの間で制御コードやイメージデータのやりとりを行うセントロニクス準拠のパラレルインタフェース、ビットイメージデータをシステム基本ユニットのページメモリ28へ転送するためのシステム拡張部画像バス45とのインタフェースをとるシステム拡張画像バスインタフェース、装置内のイメージデータの転送を制御するイメージデータ転送制御部、パーソナルコンピュータからの制御コードを解釈し、拡張部システムバス43及びISAバス44を介して拡張CPU31に制御情報を知らせたり、パーソナルコンピュータからの印字制御コードを解釈し、ビット情報に変換した後、ビット情報を装置内のメモリに記憶する制御手段、ISAバス44とのインタフェースをとるシステム拡張バスインタフェースとから構成される。

【0053】次に前記システム基本ユニット2内の要部の構成と機能について詳細を説明する。

【0054】前記システム制御回路21は、図6に示すように、前記システムCPU11と拡張CPU31との制御情報の通信を制御する通信メモリアクセス制御回路401、前記通信メモリ25とのインタフェースをとる通信メモリアクセス制御回路402、基本ユニット1およびシステム拡張ユニット3からのページメモリ28へのアクセスを制御するページメモリアクセス制御回路403、基本部システムバス16を介して基本ユニット1のシステムCPU11から送られてくる制御情報やイメージ情報を同時に送られてくるアドレスをデコードして

該当するシステム基本ユニット2内のブロックに上記制御情報あるいはイメージ情報を振り分ける基本部システムバスインタフェース405、システム拡張ユニット3からの制御情報やイメージ情報を同時に送られてくるアドレスをデコードして回路内の該当するブロックに振り分けるシステム拡張バスインタフェース406、基本部システムバス16上のページメモリアクセスが可能な手段（基本ユニット内のCPU11およびDMAコントローラ22）やシステム拡張バス43上のページメモリアクセスが可能な手段（システム拡張ユニット3のCPU31およびDMAコントローラ32）が各々のシステムバスを介してページメモリ28内のイメージ情報をアクセスするときに、前記ページメモリアクセス制御回路403とページメモリ28の間でイメージデータのやりとりをインタフェースするページメモリインタフェース404から構成される。

【0055】前記通信メモリアクセス制御回路401は基本ユニット1のCPU11とシステム拡張ユニット3のCPU31がシステム制御回路21内の通信メモリインタフェース402を介して通信メモリ25と制御コードの受け渡しを行うとき、その通信メモリ25のアクセスを制御する。

【0056】前記通信メモリ25は基本ユニット1のCPU11及びシステム拡張ユニットのCPU31のメモリ空間にマッピングされており、それぞれからは特定の領域をアクセスすることにより前記通信メモリ25とのデータのリード、ライトが可能となる。

【0057】前記通信メモリアクセス制御回路401は、図7に示すように、調停回路410、通信メモリアクセスシーケンサ412、双方向セクタ413及び割込制御回路414により構成される。

【0058】前記調停回路410は基本ユニット1のCPU11とシステム拡張ユニット3のCPU31の通信メモリアクセスの優先度制御を行う。前記基本ユニット1のCPU11とシステム拡張ユニット3のCPU31が通信メモリ25を同時にアクセスした時には、設定された優先度に基づきどちらか一方のアクセスを許可し、他方のアクセスを待たせる。

【0059】前記通信メモリアクセスシーケンサ412は、許可されたCPUの要求に基づき通信メモリ25に対してリードあるいはライトの制御信号を出力する。

【0060】前記双方向セクタ413は、調停回路410の調停結果に基づき、許可された制御手段が出力した通信メモリ25に対するアドレスを通信メモリアクセスシーケンサ412が出力するタイミング信号に同期して通信メモリ25へ出力する。そしてライト動作においては許可されたCPUがアドレスと一緒に出力する通信情報（データ）をアドレス情報と共に通信メモリ25へ出力する。また、リード動作においては許可されたCPUからの通信メモリ25に対するアドレスと通信メモリ

アクセスシーケンサ412が出力するタイミング信号により通信メモリ25から読み出された通信情報を入力し、許可されたCPUへ出力する。

【0061】前記ページメモリアクセス制御回路403は、図8に示すように、調停回路430、データレジスタ431、432、436、437、アドレスレジスタ433、双方向セクタ434及びページメモリアクセスシーケンサ435により構成されている。

【0062】前記調停回路430は、基本ユニット1のCPU11とシステム拡張ユニット3のCPU31のページメモリアクセスの優先度制御を行う。CPU11とCPU31がページメモリ28を同時にアクセスした時には、設定された優先度に基づきどちらか一方のCPUのアクセスを許可し、他方のCPUのアクセスを待たせる。

【0063】前記ページメモリアクセスシーケンサ435は、許可されたCPUの要求に基づきページメモリ28に対してリードあるいはライトの制御信号をアドレス制御回路26に出力する。

【0064】前記双方向セクタ434は、調停回路430の調停結果に基づき、許可されたCPUが出力したページメモリ28に対するアドレスをページメモリアクセスシーケンサ435が出力するタイミング信号に同期してアドレス制御回路26へ出力する。そしてライト動作においては許可されたCPUがアドレスと一緒に出力する情報（データ）をアドレス情報と共にデータ制御回路27へ出力する。また、リード動作においては許可されたCPUからのページメモリ28に対するアドレスとページメモリアクセスシーケンサ435が出力するタイミング信号によりページメモリ28から読み出された情報（データ）をデータ制御回路27を介して入力し、上記許可されたCPUへ出力する。

【0065】前記データレジスタ431及びデータレジスタ432は、基本ユニット1がページメモリ28をアクセスするときにデータを一時的蓄えるレジスタであり、前記アドレスレジスタ433は基本ユニット1が出力するページメモリ28のアドレスを一時的に記憶しておくレジスタである。

【0066】ここで、基本ユニット1がデータレジスタ431を使用してページメモリ28をアクセスする場合は、基本ユニット1が出力したアドレスがアドレスレジスタ433に一時的に蓄えられ、アドレス制御回路26を介してページメモリ28へ出力される。これに対して基本ユニット1がデータレジスタ432を使用してページメモリをアクセスする場合、基本ユニット1が出力するアドレスは無視され、アドレス制御回路26のアドレス発生部が設定情報に基づいてアドレスをページメモリ28に出力する。

【0067】また前記データレジスタ436及びデータレジスタ437は、システム拡張ユニット3がページ

メモリ28をアクセスするときにデータを一時的に蓄えるレジスタであり、システム拡張ユニット3がページメモリ28をアクセスする場合は2つのレジスタ共アドレス制御回路26のアドレス発生部が設定情報に基づいてアドレスをページメモリ28に出力する。

【0068】基本ユニット1のシステムDMAコントローラ23は基本部システムバス22上のデバイス間のデータ転送を基本ユニット1のCPU11を介在せずにハード的に高速に転送するためのコントローラである。

【0069】前記システムDMAコントローラ23を使用してデータ転送を行う処理としては、FAX送受信処理におけるページメモリ28とFAXユニット8間の圧縮データ(コードデータ)の転送、ページメモリ28上のイメージをコントロールパネル12に表示するためのページメモリ28とコントロールパネル12間のイメージデータの転送、操作画面をコントロールパネル12に表示するためのシステムメモリ24とコントロールパネル12間のデータ転送等がある。

【0070】前記ページメモリ28のアドレスを生成するアドレス制御回路26は、図9に示すように、画像バスからのリクエストによって各種の転送シーケンスを実行する転送制御シーケンサ610、画像バスのリクエストとシステムバスのリクエストを調停を行う調停部611、画像バスからの転送において複数チャンネルの各種メモリアドレスを発生するアドレス発生部612、このアドレス発生部612から出力されるアドレスとシステムアドレスとを切り換えるセクタ613、DRAMのアドレス及び制御信号を発生するDRAM制御部614から構成されている。

【0071】前記アドレス制御回路26は、画像バス及びシステムバスの2系統からメモリ・アクセス・リクエストを受け付ける。このリクエストは調停部611により調停が行われ、調停に勝った側のデータ転送処理が行われる。

【0072】システムバス側のリクエストが調停に勝った場合、セクタ613によって選択されたシステムアドレスはDRAM制御部614に入力される。DRAM制御部614は入力されたアドレスをDRAMのアドレスに変換すると共に、リード、ライトに必要な制御信号を発生する。

【0073】また、転送制御シーケンサ610には画像バスからリクエストと共にアドレスチャンネル信号が入力され、アドレス発生部612内の複数のアドレス発生器から1つを選択する。画像バス側のリクエストが調停に勝つと、選択されたチャンネルのメモリアドレスがアドレス発生部612から出力され、DRAM制御部614に入力される。

【0074】前記アドレス発生部612は、図10に示すように、4チャンネルの2次元アドレス発生器631、632、633、634、2チャンネルのFIFO

アドレス発生器635、636及び転送シーケンサからのチャンネルセレクト信号によって、それらの発生するメモリアドレスの内の1つを選択するセクタ637により構成されている。

【0075】前記各2次元アドレス発生器631~634は、各種のアドレスが発生可能である。例えば図11の(a)に示すように、転送制御シーケンサからのクロックに同期してX方向にアドレスを順次発生することも可能である。また、パラメータを変更することによって図11の(b)に示すように、Y方向の逆にアドレスを順次発生することも可能である。

【0076】さらに、スタートアドレスや1ラインの主走査幅(XW)も原稿の紙サイズに応じて任意の設定が可能である。

【0077】このような各種のアドレスの発生可能な2次元アドレス発生器を使用することによって、ページメモリ28の任意の矩形領域に対する転送、回転読み出しや繰り返し読み出し、また、2次元アドレス発生器を2チャンネル使用することによって、ページメモリ28の任意の領域間で画像の移動、回転、縦横変換、繰り返し、鏡像等の画像編集が可能である。

【0078】FIFOアドレス発生器635、636は、ページメモリ28をFIFOメモリとして使用するためのFIFOアドレス、FIFO制御に必要なステータスを発生する。

【0079】ステータスとしては、FIFOフル(FIFO領域が未読出しのデータで満杯の状態)、FIFOエンプティ(FIFO領域に未読出しのデータがない状態)、FIFOハーフ(FIFO領域に半分以上の未読出しデータがある状態)がある。また、システムCPU11からFIFOのレジスタを読み出すことによって、FIFOに入っているデータ量及び空き容量を知ることが出来る。

【0080】これらのステータスを用いてFIFO制御を行うことで、画像バス29のデバイスからデバイス、または、画像バス29のデバイスからシステムバス22へ転送する際に、それぞれの転送速度や、転送タイミングの差をFIFOメモリで吸収することができ、高速なデータ転送が可能である。

【0081】また、FIFOアドレス発生器635、636はFIFO制御を行わない場合、1チャンネルにつき2チャンネル分の1次元アドレス発生器として使用することが可能である。

【0082】図12はページメモリ28を2次元アクセスする場合の概念図である。

【0083】ページメモリ28の1回のアクセス幅(図の場合は64ビット)を1カラムとすると、1ラインは1カラムの整数倍によって構成されている。また、同じラインに於いてX方向に連続なカラムはページメモリ28のリニア・アドレスが連続で、ラインの最終カラム

と、次のラインの先頭カラムのリニア・アドレスは連続している。

【0084】図13は、図12のページメモリ28の2次元メモリをリニア・アドレスに書き表わしたものである。

【0085】前記データ制御回路27は、図14に示すように、システム基本ユニット2内の画像バス29上のデバイス間のデータ転送、および画像バス29上のデバイスとページメモリ28間のデータ転送を制御する画像データ転送制御部701、ビットブロック転送及び種々のラスタオペレーション（論理演算）を実行するイメージ処理部702、基本ユニット1のCPU11あるいはシステム拡張ユニット3のCPU31が前記システム制御回路21を介してページメモリ28をアクセス（リード／ライト）するときのデータをインタフェースするシステムインターフェース703、ページメモリ28への書き込み処理において前記アドレス制御回路26のページメモリアクセス調停結果に基づいて前記画像データ転送制御部701を介して送られてくる画像バス29上のデバイスからのデータか、あるいはシステムインターフェース703を介して送られてくるCPU（基本ユニット1のCPU11あるいはシステム拡張ユニット3のCPU31）からのデータかを選択するセクタ704、ページメモリ28からのデータの読出し処理において前記アドレス制御回路26のページメモリアクセス調停結果に基づいて前記画像データ転送制御部701を介した画像バス29上のデバイスへデータを送るか、あるいはシステムインターフェース703を介したCPU（基本ユニット1のCPU11あるいはシステム拡張ユニット3のCPU31）へデータを送るかを選択するセクタ705で構成されている。

【0086】前記イメージ処理部702は、図15に示すように、データ経路部710、711、セクタ712、パラメータレジスタ713、イメージインターフェース714、メモリインターフェース715、制御バスインターフェース716及びアドレス制御回路インターフェース717により構成されている。

【0087】前記イメージ処理部702は、ページメモリ28からデータをリードする経路（データ経路部710）とライトする経路（データ経路部711）が独立しており、それぞれがパイプライン処理を行っているためリード／ライトの最大転送サイクルは同じであり、最大4chの並行処理が可能となっている。

【0088】前記セクタ回路712は、画像バス29上のデバイスからのページメモリアクセスがリードアクセスか、リード・モディファイ・ライトアクセスかによりデータの出力方向を切り換える。

【0089】リードアクセスにおいてはページメモリ28からのデータはデータ経路部710へ出力され、前記画像データ転送制御部701を介して画像バス29上の

デバイスへ送られる。

【0090】リード・モディファイ・ライトアクセスにおいては、ページメモリ28からのデータはデータ経路711へ出力され、前記画像データ転送制御部701およびセクタ704を介して画像バス29上のデバイスから送られてきたデータとデータ経路部711上で論理演算処理が行われページメモリ28へ書き込まれる。

【0091】前記パラメータレジスタ713は、データ経路部710、711の動作モードをチャンネル毎に格納しておくレジスタで、これらのパラメータは前記アドレス制御回路26が出力するページメモリアクセスシーケンス信号及びチャンネル選択信号によりデータ経路部710あるいは711に出力される。前記各データ経路部710、711はこのパラメータに基づいて種々の論理演算処理を実行する。

【0092】図16は、データ経路部710の内部構成を示すブロック図で、720はラッチ、721はデータの1/0を反転させる1項演算部である。前記演算部721は、パラメータレジスタへの設定により反転オンの場合、入力したデータで“1”のビットは“0”に、“0”のビットは“1”に変換する。

【0093】722はビット左右反転部で、設定によりページメモリ28から読み出したデータの最上位ビット（MSB）から最下位ビット（LSB）までのビット列を反転させる。すなわち反転部722は左90度回転および180度回転処理に使用する。

【0094】723はパイプラインレジスタで、ページメモリ28の矩形リードアクセスにおいて先頭がページメモリ28のデータ幅の境界にない場合に、データを一時的に記憶しておくレジスタである。

【0095】724はデータのビット列を最上位ビット側あるいは最下位ビット側にシフトするバレルシフタで、前記パイプラインレジスタ723と共にページメモリ28のデータ幅の境界にない場合に、前記パイプラインレジスタ723に蓄えられた1つ前のデータの残りのビットと現アクセスのデータのビット列が連続するように現アクセスのビットをシフトし32ビットのデータ列として出力する。

【0096】725はビット拡張部で、2値（1ビット／画素）のデータを多値に変換する。

【0097】図17は、データ経路部711の内部構成を示すブロック図で、726、727、728はラッチ、729はビット左右反転部、730はパイプラインレジスタ、731はバレルシフタ、732はビット拡張部で、これらは前記データ経路部710のラッチ、ビット左右反転部、パイプラインレジスタ、バレルシフタ及びビット拡張部と同様の機能を有する。

【0098】733は2項演算部で、前記データ経路部710と同様に設定によりデータの1/0を反転せたり、リード・モディファイ・ライトモードにおいてはペ

10

20

30

40

50

ージメモリ28から読み出したデータと画像データ転送制御部701を介して入力したデータとを設定により論理和、論理積、排他的論理和等の論理演算による合成処理を実行してページメモリ28へ出力する。

【0099】次に前記画像データ転送制御部701の制御について述べると、画像データ転送制御部701が制御する画像データの転送形態には次の2つの形態がある。

【0100】1つの形態はシステム基本ユニット2の画像バス29上のI/Oデバイス間のデータ転送で、ソース（転送元）/ディスティネーション（転送先）とも画像バス29上にあり、ソースから画像データ転送制御部701内のデータバッファにデータを取り込むリードサイクルとデータバッファ上のデータをディスティネーションに書き込むライトサイクルの2サイクルで構成される。

【0101】もう1つの形態はシステム基本ユニット2の画像バス29上のI/Oデバイスとページメモリ28間のデータ転送で、I/Oデバイスと画像データ転送制御部701内のデータバッファ間のデータ転送サイクルと、データバッファとページメモリ28間のデータ転送の2つのサイクルで構成される。

【0102】ページメモリ28とデータバッファ間は画像バス29と独立なため、2つのサイクルは並行して動作することが可能となっている。

【0103】また画像データ転送制御部701は上記した2つの形態のデータ転送を8チャンネル指定することが可能で、同時に8チャンネルのデータ転送が可能となっている。

【0104】前記画像データ転送制御部701は、図18に示すように、データバッファ740、画像バス優先度制御部741、画像バスタイミング制御部742、ページメモリ優先度制御部743、ページモリタイミン制御部744、ターミナルカウンタ745、割込制御部746、制御バスインターフェース747、パラメータレジスタ748及びI/Oバッファ749により構成されている。

【0105】前記データバッファ740はデータ転送においてソースからのデータを一時的に格納しておくデータレジスタをチャンネル数分有する。

【0106】前記画像バス優先度制御部741は、画像バス29上のデバイスからのデータ転送リクエスト（BDRQ）を入力し、所定の優先度制御によりデータ転送を許可するデバイスを決定し、許可されたデバイスにデータ転送を開始を通知（BDAK）する。

【0107】前記画像バスタイミング制御部742は、前記画像バス優先度制御部741の優先度制御結果に基づいて決定したソースデバイスとディスティネーションデバイス間のデータ転送のタイミング信号を生成し画像バス29に出力する。

【0108】図19はページメモリ28からI/Oデバイスに対して画像データを転送するときの画像バス29上のデータ転送タイミングを示し、図20はI/Oデバイスからページメモリ28に対して画像データを転送するときの画像バス29上のデータ転送タイミングを示している。

【0109】BDRQはデバイスごとのデータ転送リクエスト信号で、BDRQ信号により画像バス優先度制御部741は調停動作を開始する。BDAK信号は画像バス優先度制御部741が出力する調停結果で、BDAK信号がアクティブになったデバイスのデータ転送を許可する。BADSは転送開始を示す信号、BW/Rはデバイスへのアクセスがリードかライトかを示す信号、BRDYはデバイスからのデータ転送終了信号である。

【0110】前記ページメモリ優先度制御部743は、データバッファ740が出力するリクエスト信号を入力し、ページメモリ28とデータバッファ740との間のデータ転送チャンネルを所定の優先度に基づいて決定する。

【0111】前記ページモリタイミン制御部744は、ページメモリ優先度制御部743の優先度制御結果に基づいて決定した転送チャンネルのページメモリ28とデータバッファ740間のデータ転送のタイミング信号を生成しアドレス制御回路26に出力する。データバッファ740からの転送リクエスト信号は、ページメモリ28へのライト処理においては画像バス29上のデバイスからのデータがデータバッファ740内に格納されている状態のときに、ページメモリ28からのデータのリード処理においてはデータバッファ740内にデータが格納されていない状態のときに、ページメモリ優先度制御部743に出力される。

【0112】前記ターミナルカウンタ745は、各チャンネル毎の転送バイト数をカウントするもので、転送バイト数が設定値に達した転送チャンネルに対しては、画像バスタイミング制御部742を介してデータ転送終了信号（BTC）を出力する。また設定により転送バイト数が設定値に達した場合、前記割り込み制御部746から制御バスインターフェース747、基本システムバス16を介して基本ユニット1のCPU11に転送終了割り込みをかけることが可能となっている。

【0113】前記パラメータレジスタ748は、転送チャンネル毎の転送元、転送先、転送バイト数、転送終了時の割り込み処理の有無等を設定しておくレジスタである。前記画像バス29は、32ビットのデータ幅を有し、1画素のビット幅によらず常に32ビットのデータ転送が行われる。例えばスキャナ13から2値（1ビット/画素）のデータをページメモリ28へ書き込む場合は、画像バス29上は32画素データが一度に画像データI/F210から画像データ転送制御部701を介してページメモリ28へ転送され、また多値（4ビット/

画素)のデータをページメモリ28へ書き込む場合は、8画素のデータが画像バス29上を一度に転送される。データの32ビット化は画像バス29上の各デバイスで1画素のビット数に応じてそれぞれ行われる。

【0114】前記画像バス29上のデータ転送優先度制御はプリンタ15への出力、スキャナ13からの入力処理のように、データ転送を途中で停止したり、待たせたりできないデバイスからの転送リクエストを優先的に許可し、圧縮/伸長処理や解像度変換処理のようにデータ転送を待たせることが可能なデバイスの転送リクエストは優先度の高いデバイスからの転送リクエストがないときのみ許可するというようにデバイスの性質により優先度を決定するように決められている。

【0115】次に画像バス29上のデバイスで、ページメモリ28とスキャナ13あるいはプリンタ15との画像データ転送を画像処理回路14を介してインタフェースし、スキャナ13から画素単位に入力される画像データを1画素のビット数に応じてとりまとめる画素を決定し、常に画像バス29のデータ幅である32ビットのデータに変換して画像バス29上に出力し、画像バス29から入力した32ビットの画像データは1画素単位に分割してプリンタ15に出力する画像データI/F210について説明する。

【0116】概要としては、画像データI/F210は、画像処理回路14との画像データのやり取り、プリンタコントローラ9との画像データのやり取りを行う部分である。画像処理回路14から受け取った画像データ、画像処理回路14へ出す画像データ、さらにプリンタコントローラ9とのやり取りするデータはページメモリ28と32ビット幅の画像バス29を通してやり取りを行う。

【0117】前記画像データI/F210は、図21に示すように、画像処理部14より転送されるスキャナ画像データを入力する為のスキャナI/F801、入力されたスキャナ画像データを画素ビット数単位に選択し画像バス29へ出力する為の32ビット画像データに変換する為の32ビット変換部802、32ビット変換部802により作られた32ビット画像データを画像バス29を通じてページメモリ28へ転送するためのスキャナ用の画像バスI/F803、ページメモリ28のプリンタ画像データを画像バス29を通じて32ビット単位に転送入力する為のプリンタ用の画像バスI/F804、画像バスI/F804に転送されたプリンタ画像データ32ビットを1画素のビット数単位に変換する為のPixel変換部805、入力されたページメモリ28からのプリンタ画像データを90度右回転させ1画素のビット数単位にして出力する為の回転処理部806、Pixel変換部805又は回転処理部806からのプリンタ画像データを画像処理回路14へ出力する為のプリンタI/F807、ページメモリ28に対して拡張I/

F用の画像データを画像バス29を通じて32ビット単位に転送出力する為の画像バスI/F808、画像バスI/F808へ入力された32ビット画像データを8ビット単位に変更する為のLW→byte変換部809、拡張I/F811からの8ビット画像データを32ビット単位の画像データに変更する為のbyte→LW変換部810、8ビット単位にページメモリ28に対して入出力用画像データを転送出力する為の拡張I/F811、画像データI/F210の内部画像データ全体の動きを制御するシーケンス制御部812、各ブロックへの動作設定及び動作状態を書き込み/読み出しする為のSYS-I/F813により構成されている。

【0118】次に前記画像データI/F210の機能について詳述する。

【0119】(a) スキャナ13からの画像データをページメモリ28に転送する場合

画像処理回路14から転送されたスキャナ画像データを32ビット変換部802により32ビット単位のデータに変換し、画像バス29を通じてページメモリ28へ転送する。

【0120】このとき、取り扱うスキャナ画像データは1画素のビット数が8、4、2、1ビットの4種類で、8ビット/画素では4画素分、4ビット/画素では8画素分、2ビット/画素では16画素分、1ビット/画素では32画素分を一度に画像バス29へ出力する。但し、1ページ単位では1画素のビット数は変化しない。

【0121】(b) ページメモリ28から画像データをプリンタ15に転送する場合

ページメモリ28の画像データを画像バス29を通じて32ビット単位で画像データI/F210に入力し、Pixel変換部805で画素単位の画像データに変換し、画像処理回路14へプリンタ用画像データとして転送する。

【0122】このとき、取り扱うプリンタ画像データは1画素のビット数が4、2、1ビットの3種類である。但し、1ページ単位では1画素のビット数は変化しない。

【0123】画像バス29上では32ビットを一度に画像データI/F210へ転送する為、出力するプリンタ画像データのビット数により画像バス上の1回の転送画素数が変わる。4ビット/画素では8画素分を1回に画像バス29から入力する。2ビット/画素では16画素分、1ビット/画素では32画素分を1回に画像バス29から入力する。

【0124】(c) ページメモリ28から画像データを回転処理部806を経由してプリンタ15に転送する場合
ページメモリ28上の画像データを画像バス29を通じて2ビット単位で画像データI/F210に入力し、回転処理部806で90度右回転を行いプリンタ用画像データとして転送する。

【0125】このとき、取り扱うプリンタ画像データは1画素のビット数が4、2、1bitの3種類である。但し、1ページ単位では1画素のビット数は変化しない。

【0126】回転処理部806では3種類のビット数を有する画像データの回転をラインバッファ814、815を使用して実行することができる。

【0127】(d) 拡張部から画像データをページメモリ28へ転送する場合

拡張部、例えばプリンタコントローラ9の画像データを10 拡張I/F811を通じて画像データI/F210に入力し、byte→LW変換部810により1回の転送bit数である8bitの4個分から32bitの画像データに変換し、画像バス29を通じてページメモリ28へ転送する。

【0128】このとき、取扱う画像データは1画素のビット数が8、4、2、1bitの4種類である。但し、1ページ単位では1画素のビット数は変化しない。

【0129】拡張I/F811では8bit単位の画像転送を行っている為、8bit/画素では1画素、4bit/画素では2画素、2bit/画素では4画素分、1bit/画素では8画素を1回に転送することになる。

【0130】(e) ページメモリ28から画像データを拡張部へ転送する場合

ページメモリ28の画像データを画像バス29を通じて32bit単位で画像データI/F210へ入力し、LW→byte変換部809で8bit単位の画像データに変換し、拡張I/F811を通じて拡張部へ出力する。

【0131】このとき、取扱う画像データは1画素のビット数が8、4、2、1bitの4種類である。但し、1ページ単位では1画素のビット数は変化しない。

【0132】拡張I/F811では8bit単位の画像転送を行っている為、8bit/画素では1画素、4bit/画素では2画素、2bit/画素では4画素、1bit/画素では8画素を1回に転送することになる。

【0133】次にスキャナ入力時の32bit変換処理について説明する。

【0134】画像処理回路14より画像データI/F210へ転送入力されるスキャナ画像データはSDATX-1(Xは7~0)の信号にMSB基準で使用されて転送入力される。転送入力されたスキャナ画像データはスキャナI/F801を通じてTDX-1(Xは7~0)の信号により32bit変換部802へ転送される。この時、SDATX-1の各信号は1対1でTDX-1の信号に対応している。

【0135】32bit変換部802ではTDX-1信号から1画素のbit数に対応して有効な画像データのみを選択する。又、選択された画像データを32bit 50

単位の画像データに変換する。変換は8bit/画素時は4画素分、4bit/画素時は8画素分、2bit/画素時は16画素分、1bit/画素時は32画素分を1個の32bit画像データに変換する。

【0136】各画素bit時の変換後の出力信号を示す。

【0137】8bit/画素時は、TD[7:0]-1の8bitの画像データを、1画素目はBISD[07:00]-1へ、2画素目はBISD[15:08]-1へ、3画素目はBISD[23:16]-1へ、4画素目はBISD[31:24]-1へ出力する。

【0138】4bit/画素時は、TD[7:4]-1の4bitの画像データを、1画素目はBISD[03:00]-1へ、2画素目はBISD[07:04]-1へ、3画素目はBISD[11:08]-1へ、4画素目はBISD[15:12]-1へ、5画素目はBISD[19:16]-1へ、6画素目はBISD[23:20]-1へ、7画素目はBISD[27:24]-1へ、8画素目はBISD[31:28]-1へ出力する。

【0139】2bit/画素時は、TD[7:6]-1の2bitの画像データを、1画素目はBISD[01:00]-1へ、2画素目はBISD[03:02]-1へ、3画素目はBISD[05:04]-1へ、4画素目はBISD[07:06]-1へ、5画素目はBISD[09:08]-1へ、6画素目はBISD[11:10]-1へ、7画素目はBISD[13:12]-1へ、8画素目はBISD[15:14]-1へ、9画素目はBISD[17:16]-1へ、10画素目はBISD[19:18]-1へ、11画素目はBISD[21:20]-1へ、12画素目はBISD[23:22]-1へ、13画素目はBISD[25:24]-1へ、14画素目はBISD[27:26]-1へ、15画素目はBISD[29:28]-1へ、16画素目はBISD[31:30]-1へ出力する。

【0140】1bit/画素時は、TD7-1の1bitの画像データを、1画素目はBISD00-1へ、2画素目はBISD01-1へ、3画素目はBISD02-1へ、4画素目はBISD03-1へ、5画素目はBISD04-1へ、6画素目はBISD05-1へ、7画素目はBISD06-1へ、8画素目はBISD07-1へ、9画素目はBISD08-1へ、10画素目はBISD09-1へ、11画素目はBISD10-1へ、12画素目はBISD11-1へ、13画素目はBISD12-1へ、14画素目はBISD13-1へ、15画素目はBISD14-1へ、16画素目はBISD15-1へ、17画素目はBISD16-1へ、18画素目はBISD17-1へ、19画素目はBISD18-1へ、20画素目はBISD19-1へ、21画素目はBISD20-1へ、22画素目はBISD21-

1へ、23画素目はBISD22-1へ、24画素目はBISD23-1へ、25画素目はBISD24-1へ、26画素目はBISD25-1へ、27画素目はBISD26-1へ、28画素目はBISD27-1へ、29画素目はBISD28-1へ、30画素目はBISD29-1へ、31画素目はBISD30-1へ、32画素目はBISD31-1へ出力する。

【0141】但し、画像バスI/F（スキャナ）803への転送は32bit分を1転送単位とし32bit分揃った時点で出力が切り変わる。32bit変換部802から出力された32bit単位の画像データBISD[31:00]-1は画像バスI/F（スキャナ）803からBD[31:00]-1へ1:1にデータ転送される。

【0142】次にプリンタ出力時のPixel変換処理について説明する。

【0143】画像バス29を通じて転送入力された画像データBD[31:00]-1は画像バスI/F（プリンタ）804にて1:1にBIPD[31:00]-1信号としてPixel変換部805へ入力される。

【0144】Pixel変換部805ではプリンタ出力用画像データの1画素のbit数に対応してBIPD[31:00]-1信号の最下位ビットから順番に1画素のbit数単位に選択出力される。

【0145】すなわち、4bit/画素時には、1画素目はBIPD[03:00]-1から、2画素目はBIPD[07:04]-1から、3画素目はBIPD[11:08]-1から、4画素目はBIPD[15:12]-1から、5画素目はBIPD[19:16]-1から、6画素目はBIPD[23:20]-1から、7画素目はBIPD[27:24]-1から、8画素目はBIPD[31:28]-1から選択しPXD[7:4]-1信号に出力される。

【0146】また2bit/画素時には、1画素目はBIPD[01:00]-1から、2画素目はBIPD[03:02]-1から、3画素目はBIPD[05:04]-1から、4画素目はBIPD[07:06]-1から、5画素目はBIPD[09:08]-1から、6画素目はBIPD[11:10]-1から、7画素目はBIPD[13:12]-1から、8画素目はBIPD[15:14]-1から、9画素目はBIPD[17:16]-1から、10画素目はBIPD[19:18]-1から、11画素目はBIPD[21:20]-1から、12画素目はBIPD[23:22]-1から、13画素目はBIPD[25:24]-1から、14画素目はBIPD[27:26]-1から、15画素目はBIPD[29:28]-1から、16画素目はBIPD[31:30]-1から選択しPXD[7:6]-1信号に出力される。

【0147】また1bit/画素時には、1画素目はB

IPD00-1から、2画素目はBIPD01-1から、3画素目はBIPD02-1から、4画素目はBIPD03-1から、5画素目はBIPD04-1から、6画素目はBIPD05-1から、7画素目はBIPD06-1から、8画素目はBIPD07-1から、9画素目はBIPD08-1から、10画素目はBIPD09-1から、11画素目はBIPD10-1から、12画素目はBIPD11-1から、13画素目はBIPD12-1から、14画素目はBIPD13-1から、15画素目はBIPD14-1から、16画素目はBIPD15-1から、17画素目はBIPD16-1から、18画素目はBIPD17-1から、19画素目はBIPD18-1から、20画素目はBIPD19-1から、21画素目はBIPD20-1から、22画素目はBIPD21-1から、23画素目はBIPD22-1から、24画素目はBIPD23-1から、25画素目はBIPD24-1から、26画素目はBIPD25-1から、27画素目はBIPD26-1から、28画素目はBIPD27-1から、29画素目はBIPD28-1から、30画素目はBIPD29-1から、31画素目はBIPD30-1から、32画素目はBIPD31-1から選択しPXD7-1信号に出力される。

【0148】Pixel変換から出力される画素データは画像処理回路14への1画素の画像転送スピードに同期し1画素単位に変換される。その後セクタ816によりPID[7:4]-1信号に1:1に変換され、画像処理回路14はPDAT[7:4]-1信号として転送出力される。

【0149】画像処理回路14ではプリンタ画像データはPDAT[7:4]-1信号に対して1画素のbit数によりMSB基準で使用される。

【0150】次に画像バス29とのデータのインタフェースについて説明する。

【0151】転送する画素の1画素bit数により1回の転送画素数は、8bit/画素時は4画素、4bit/画素時は8画素、2bit/画素時は16画素、1bit/画素時は32画素となる。

【0152】画像処理回路14から画像データI/F210へ転送入力されるスキャナ画像データは32bit単位ではD0、D1、D2、...Dn（n:3、7、15、31）の順番で入力され、32bitの最下位ビットから1画素のbit単位に配置され、1画素のbit内でも最下位ビットが32bitの最下位ビット側に配置される。

【0153】ページメモリ28への画像データの転送入力1画素のbit数によって配置が決められ、ページメモリ28へ転送出力した配置とページメモリ28から転送入力した配置は変わらない。

【0154】ページメモリ28から転送入力された画像データは転送される画像データ32bit単位ではD

0、D1、D2、…Dn (n: 3、7、15、31)の順番で1画素単位の画素データに変換され、画像処理回路14へプリンタ画像データとして出力される。

【0155】前記スキャナ13からページメモリ28へのスキャナ入力動作について説明する。

【0156】前記スキャナ13が読み取った8bit/画素の画像出力データは、画像処理回路14を通じて8bit/画素または4bit/画素または2bit/画素または1bit/画素のスキャナ画像データとして画像データインターフェース210へ転送され、その画像データインターフェース210内部でスキャナ画像データの複数画素(4、8、16、32画素)を集め、32bit単位の転送データとして画像バス29を通じてデータ制御回路27へDMA転送される。データ制御回路27ではアドレス制御回路26で発生するページメモリ28のアドレスに32bitのスキャナ画像データの書き込みを行う。

【0157】次にページメモリ28からプリンタ15へのプリンタ出力動作について説明する。

【0158】ページメモリ28からプリンタ15へ画像データを出力する。前記ページメモリ28はアドレス制御回路26で発生するページメモリのアドレスにより32bit単位の画像データをデータ制御回路27へ転送し、画像バス29を通じて画像データインターフェース210へDMA転送する。

【0159】前記画像データ1/F210内部では32bitの画像データからプリンタ15へ出力する為の1画素のビット数4bit/画素または2bit/画素または1bit/画素に変換を行い、画像処理内部を通じてプリンタ15へ転送出力する。

【0160】次に、本画像形成装置の主な動作モードの処理フローについて説明する。

【0161】まず、FAXユニット8からページメモリ28へのコードデータ(圧縮画像データ)の入力処理について説明する。

【0162】図22はFAX入力処理の一例を示すフローチャートである。

【0163】まず、FAXユニット8に対して、一定量の受信データが蓄積されたときにページメモリ28に対する転送リクエストを発生するように設定する。

【0164】次に、転送チャンネルのFIFOに対し、FIFO領域のスタートアドレス及びサイズを設定する。これによりページメモリ28がFIFOメモリとして使用可能になる。

【0165】次に、データ制御回路27及びシステム制御回路21に設定を行い、FAXユニット8からページメモリ28に至るデータ及びアドレスの経路作成する。

【0166】次に、FIFOをイネーブルにし動作可能状態にする。よって、これ以降、FIFO領域にリード可能なデータがあれば、画像バスデバイス(この場合圧

縮・伸長回路211)はFIFOステータスがエンプティになるまでデータを読み出すことが出来る。

【0167】次に、システムCPU11はFIFOのレジスタをリードして、FIFOの空き容量を調べ、FAXからの転送サイズ分の空きが出来るまで待つ。転送サイズ分の空きが出来る、システムDMAコントローラ23に転送サイズを設定し、DMA転送を開始する。

【0168】次に、FAXユニット8からの割り込みの有無、及び、DMA転送終了を調べ、FAXユニット8から割り込みがあれば、FAXユニット8からステータスをリードし、ステータスがエラーであればエラー処理を、ステータスが終了であればFIFOをディセーブルし、FAXユニット8の終了処理を行い、システムDMAコントローラ23のFIFO転送チャンネルをディセーブルにして一連の転送を終了する。

【0169】また、DMA転送が終了した場合、次のデータブロックの転送作業を行う。この動作は、FAXユニット8からの終了割り込みが発生するまで繰り返される。

【0170】図23はFAX入力処理の他の一例を示すフローチャートである。

【0171】まず、FAXユニット8に対して、1つでも受信データがあればページメモリ28に対する転送リクエストを発生するように設定する。

【0172】次に、システムDMAコントローラ23にFAXユニット8からのリクエストに対し1ワード単位で転送するように設定する。

【0173】次に転送チャンネルのFIFOに対し、FIFO領域のスタートアドレス及びサイズを設定する。これによりページメモリ28がFIFOメモリとして使用可能になる。

【0174】次に、データ制御回路27及びシステム制御回路21に設定を行い、FAXユニット8からページメモリ28に至るデータ及びアドレス経路を作成する。

【0175】次に、FIFOをイネーブルにし動作可能状態にする。よって、これ以降、FAXユニット8はFIFOステータスがフルになるまで、すなわちFIFO領域にライト可能な空きがなくなるまでデータのライトが可能であり、FIFO領域にリード可能なデータがあれば、画像バスデバイス(この場合圧縮・伸長回路211)はFIFOステータスがエンプティになるまでデータを読み出すことが出来る。

【0176】次に、FAXユニット8からの割り込みの有無を調べ、FAXユニット8から割り込みがあれば、FAXユニット8からステータスをリードし、ステータスがエラーであればエラー処理を、ステータスが終了であればFIFOをディセーブルし、FAXユニット8の終了処理を行い、システムDMAコントローラ23のFIFO転送チャンネルをディセーブルにして一連の転送を終了する。

【0177】次に、ページメモリ28からFAXユニット8へのコードデータ（圧縮画像データ）の出力処理について説明する。

【0178】図24はFAX出力処理の一例を示すフローチャートである。

【0179】まず、FAXユニット8に対して、一定量の受信データが取り込み可能なときにページメモリ28に対する転送リクエストを発生するように設定する。

【0180】次に、転送チャンネルのFIFOに対し、FIFO領域のスタートアドレス及びサイズを設定する。これによりページメモリ28がFIFOメモリとして使用可能になる。

【0181】次に、データ制御回路27及びシステム制御回路21に設定を行い、ページメモリ28からFAXユニット8に至るデータ及びアドレスの経路作成する。

【0182】次に、FIFOをイネーブルにし動作可能状態にする。よって、これ以降、FIFO領域にライト可能な空きがあれば、画像バスデバイス（この場合圧縮・伸長回路211）はFIFOステータスがフルになるまでデータを書き込むことが出来る。

【0183】次に、システムCPU11はFIFOのレジスタをリードして、FIFO領域の未読み出しデータ量を調べ、FAXユニット8への転送サイズ分のデータ量に達するまで待つ。転送サイズ分のデータ量に達すると、システムDMAコントローラ23に転送サイズを設定し、DMA転送を開始する。

【0184】次に、FAXユニット8からの割り込みの有無、及び、DMA転送終了を調べ、FAXユニット8から割り込みがあれば、FAXユニット8からステータスをリードし、ステータスがエラーであればエラー処理を、ステータスが終了であればFIFOをディセーブルし、FAXユニット8の終了処理を行い、システムDMAコントローラ23のFIFO転送チャンネルをディセーブルにして一連の転送を終了する。

【0185】また、DMA転送が終了した場合、次のデータブロックの転送作業を行う。この動作は、FAXユニット8からの終了割り込みが発生するまで繰り返される。

【0186】図25はFAX出力処理の他の一例を示すフローチャートである。

【0187】まず、FAXユニット8に対して、ひとつでもデータが取り込み可能なときにページメモリ28に対する転送リクエストを発生するように設定する。

【0188】次に、システムDMAコントローラ23にFAXユニット8からのリクエストに対し1ワード単位で転送するように設定する。

【0189】次に、転送チャンネルのFIFOに対し、FIFO領域のスタートアドレス及びサイズを設定する。これによりページメモリ28がFIFOメモリとして使用可能になる。

【0190】次に、データ制御回路27及びシステム制御回路21に設定を行い、ページメモリ28からFAXユニット8に至るデータ及びアドレス経路を作成する。

【0191】次に、FIFOをイネーブルにし動作可能状態にする。よって、これ以降、FAXユニット8はFIFOステータスがエンプティになるまで、すなわちFIFO領域に未読み出しのデータがなくなるまでデータのリードが可能であり、FIFO領域にライト可能な空きがあれば、画像バスデバイス（この場合圧縮・伸長回路211）はFIFOステータスがフルになるまでデータを書き込むことが出来る。

【0192】次に、FAXユニット8からの割り込みの有無、及び、DMA転送終了を調べ、FAXユニット8から割り込みがあれば、FAXユニット8からステータスをリードし、ステータスがエラーであればエラー処理を、ステータスが終了であればFIFOをディセーブルし、FAXユニット8の終了処理を行い、システムDMAコントローラ23のFIFO転送チャンネルをディセーブルにして一連の転送を終了する。

【0193】次にスキャナ13で読み取った画像データをシステム拡張ユニット3内の保存手段である光ディスク装置（ODD）38に保存する場合の処理について説明する。

【0194】ファイル登録処理の起動は基本ユニット1のコントロールパネル12上でユーザーがファイル登録処理を選択することにより行われる。

【0195】システムCPU11はファイル登録処理が起動するとページメモリ28の空き領域、圧縮・伸長回路211の使用状況をチェックし使用可能であればシステム制御回路21の通信メモリ25を介してシステム拡張ユニット3の拡張CPU31にファイル登録起動を通知する。

【0196】ページメモリ28上に空き領域がない場合は“ページメモリFULL”をコントロールパネル12に表示し、圧縮・伸長回路211が他の処理（例えばFAX送受信処理）で使用している場合は“デバイスFULL”をコントロールパネル12に表示しファイル登録処理を終了させる。

【0197】システム拡張ユニット3のCPU31はファイル登録処理が起動すると光ディスク装置38に登録処理の諸設定を行い、システム拡張ユニット3のDMAコントローラ32に転送元としてページメモリ28上のFIFOを、転送先として光ディスク装置38を設定して両者を転送待機状態にしておく。そしてFIFO領域にデータが書き込まれたかどうかをアドレス制御回路26がシステム制御回路21に出力するFIFO制御信号（FIFO-FULL、FIFO-EMP、FIFO-HALF）を一定の時間ごとに監視する。

【0198】同時に基本ユニット1のCPU11はスキャナ13からページメモリ28へデータを書き込むため

にアドレス制御回路26にアドレス発生チャンネルを、画像データ転送制御部701にデータ転送チャンネル、転送元(画像データ1/F210)、転送先(ページメモリ28)、転送バイト数等を設定し、またスキャナ13及び画像データ1/F210に所定の設定を行って1ビット/画素でデータをページメモリ28へ取り込む。

【0199】次に基本ユニット1のCPU11は圧縮・伸長回路211に圧縮処理の諸設定を行い、画像データ転送制御部701の転送チャンネルを2チャンネル使用してページメモリ28からスキャナ13で読み取ったデータを圧縮・伸長回路211へ送る設定と圧縮・伸長回路211で圧縮したデータをページメモリ28のFIFO領域に書き込むように設定し、アドレス制御回路26に対してはページメモリ28からデータを読み出す時に使用するアドレス発生チャンネル、圧縮データをページメモリ28へ書き込むときに使用するFIFOチャンネルを設定してデータ転送を開始させる。

【0200】これによりページメモリ28からアドレス発生チャンネルに設定したアドレスの順番にデータが圧縮・伸長回路211に入力され、圧縮・伸長回路211で圧縮されたデータがページメモリ28のFIFO領域に順次書き込まれていく。

【0201】システム拡張ユニット3のCPU31はFIFO-HALFを監視し、FIFO領域に所定のデータ量だけデータが蓄積されると拡張DMAコントローラ32に対してデータ転送を開始させる。これを圧縮データが全て転送されるまで繰り返す。

【0202】圧縮・伸長回路211は1ページの圧縮が完了すると基本ユニット1のCPU11に対して圧縮終了割り込みをかける。CPU11は画像データ転送制御部701のターミナルカウンタ745の転送カウント値(圧縮・伸長回路211からページメモリ28のFIFO領域への転送チャンネル)をリードすることにより1ページの圧縮データ量を知ることができこれを通信メモリ25を介してシステム拡張ユニット3のCPU31に通知する。

【0203】システム拡張ユニット3のCPU31はFIFOから光ディスク装置38へのデータ転送が、この圧縮データ量に達したところでデータ転送を終了させる。複数ページのファイル登録処理においては圧縮処理のためのページメモリ28から圧縮・伸長回路211へのデータの転送以降の処理と次のページのスキャナ13からページメモリ28へのデータ入力処理が並行して動作する。

【0204】次にシステム拡張ユニット3内の光ディスク装置38に保存してある画像情報を基本ユニット1のプリンタ15から印字出力する処理を説明する。

【0205】起動はファイル登録処理と同様に基本ユニット1のコントロールパネル12上でユーザの選択により発生し、システム拡張ユニット3のCPU31に通信

メモリ25を介して通知する。また使用するデバイス(ページメモリ28、圧縮・伸長回路211、光ディスク装置38、拡張DMAコントローラ32)が使用不可の状態の時には基本ユニット1のCPU11はコントロールパネル12に“デバイス-FULL”を表示してファイル印刷処理を終了させる。

【0206】システム拡張ユニット3のCPU31は、ファイル印刷処理が起動すると光ディスク装置38に印刷(読み出し)処理の諸設定を行い、システム拡張ユニット3のDMAコントローラ32に転送先としてページメモリ28上のFIFOを、転送元として光ディスク装置38を設定して両者を転送待機状態にしておく。

【0207】そしてFIFO領域に所定の空き領域があるかどうかをアドレス制御回路26がシステム制御回路21に出力するFIFO制御信号(FIFO-HALF)を一定の時間ごとに監視し、空き領域があればDMAコントローラ32にデータ転送を開始させる。これを1ページ分繰り返す。

【0208】同時に基本ユニット1のCPU11は圧縮・伸長回路211に伸長処理の諸設定を行い、画像データ転送制御部701の転送チャンネルを2チャンネル使用して、1チャンネルは光ディスク装置38からページメモリ28のFIFO領域に書き込まれたデータを伸長処理するよう転送元としてページメモリ28のFIFO領域、転送先として圧縮・伸長回路211を設定し、もう1チャンネルは伸長したデータをページメモリ28へ書き込むために転送元として圧縮・伸長回路211、転送先としてページメモリ28を設定し、アドレス制御回路26に対してはFIFOからのデータリードのためのチャンネル、伸長されたデータを書き込むためのアドレスを生成するアドレスチャンネルを設定し、データ転送を開始する。

【0209】こうして光ディスク装置38から読出された圧縮データは、ページメモリ28のFIFO領域を通過して圧縮・伸長回路211で伸長処理が施された後、ページメモリ28の所定の領域にイメージデータとして書き込まれる。

【0210】圧縮・伸長回路211は、伸長処理において圧縮データの中から1ページの終了を解釈すると、基本ユニット1のCPU11に対して割り込みにより伸長処理終了を通知する。

【0211】基本ユニット1のCPU11は次に転送元として伸長したデータが格納されているページメモリ28、転送先としてプリンタ15を設定し、ページメモリ28からデータ読み出すアドレスを出力するアドレス発生チャンネルをアドレス制御回路26に設定し、画像データ1/F210及びプリンタ15に印刷処理のための所定の設定を行ってからデータ転送を開始させる。

【0212】これによりページメモリ28からアドレス発生チャンネルに設定したアドレスの順番に伸長したイ

メージデータが画像データI/F210を介してプリンタ15へ出力され、プリンタ15にて可視化される。

【0213】1ページの印刷処理が終了するとプリンタ15から印字終了割込みが基本ユニット1のCPU11に対して出力される。複数ページのファイル印刷処理においては伸長したデータの印刷処理と次ページの伸長処理は並行して動作する。

【0214】次に同時並行動作について説明する。

【0215】本画像形成装置では使用デバイス（スキャナ13、プリンタ15、圧縮・伸長回路211、解像度変換・2値回転回路212）が競合しない複数の処理を同時に処理することが可能となっている。

【0216】例えばスキャナ13からページメモリ28へのイメージの入力処理、ページメモリ28上のイメージのプリンタ15への出力処理、光ディスク装置38へ画像データを蓄積するためのページメモリ28上のイメージを解像度変換した後、圧縮処理する解像度変換/圧縮処理、これらは使用デバイスが競合しないため同時並行処理ができる。

【0217】例えばスキャナ入力処理（スキャナ13→画像処理回路14→画像データI/F210→データ制御回路27→ページメモリ28）、プリンタ出力処理（ページメモリ28→データ制御回路27→画像データI/F210→画像処理回路14→スキャナ13）及び解像度変換/圧縮処理（ページメモリ28→データ制御回路27→解像度変換・2値回転回路212→データ制御回路27→圧縮・伸長回路211→データ制御回路27→ページメモリ28）の3つの処理同時並行処理について述べる。

【0218】画像バス29は画像バス上のデータ制御回路27のみがマスタとなるシングルマスタ構成であり、各I/OデバイスはDMA転送リクエスト（BDRQ）信号をアクティブにすることによりマスタに対してDMA転送を要求する。

【0219】マスタは各I/OデバイスからのDMA要求を調停し、ただ1つのI/Oデバイスに対してDMA転送を許可するDMA応答（BDACK）信号を送出し、データ転送を行う。

【0220】DMA転送リクエスト信号が1つだけで優先度制御をする必要がない場合の基本的なデータ転送タイミングを図26及び図27に示す。またスキャナ入力処理、プリンタ出力処理及び解像度変換/圧縮処理の3つの処理の各デバイスとデータ制御回路27のDMA転送リクエスト（BDREQ）信号とDMA応答（BDACK）信号の接続模式図を図28に示す。

【0221】また各デバイスに対するDMA転送リクエスト信号チャンネルの対応について述べると、BDRQ0-1のチャンネルは出力でスキャナ13、BDRQ1-1のチャンネルは入力でプリンタ15、BDRQ2-1のチャンネルは出力で解像度変換・2値回転回路21

2、BDRQ3-1のチャンネルは入力で解像度変換・2値回転回路212、BDRQ4-1のチャンネルは出力で圧縮・伸長回路211、BDRQ5-1のチャンネルは入力で圧縮・伸長回路211、BDRQ6-1のチャンネルは出力で拡張部画像バス45、BDRQ7-1のチャンネルは入力で拡張部画像バス45にそれぞれ対応している。

【0222】これらの3つの処理が同時に起動したとき、画像データは画像バス上を時分割処理して転送される。データ転送の優先度制御は各デバイスからのDMA転送リクエスト信号をもとにデータ制御回路27内の画像バス優先制御回路741で行われ、唯一のデバイスに対してDMA応答信号（BDACK）を出力する。

【0223】次に優先度制御回路741の優先度制御について述べる。

【0224】優先度制御回路741は各転送チャンネル単位に高優先度、低優先度の指定をすることが可能となっており、複数の転送チャンネルからの転送リクエストが同時に起こった場合、優先度制御回路741は高優先度指定の転送チャンネルの転送を低優先度指定の転送チャンネルに優先して許可し、同一優先度（高優先度指定どうしや低優先度指定どうし）の転送チャンネルの転送リクエストが競合した場合は、転送リクエストを出力したデバイスの中で一つ前に実行されたデータ転送が一番古いデバイスの転送リクエストに対してデータ転送を許可する。

【0225】高優先度の指定は、スキャナ13及びプリンタ15等の画像データ転送を一時的に停止することができなく、決まった周期でデータ転送しなければならないデバイスに対して行う。

【0226】スキャナ13、プリンタ15以外のデバイスで圧縮・伸長回路211、解像度変換・2値回転回路212を使用した処理、すなわち解像度変換/圧縮処理はデータの入力元及び出力先が共にページメモリ28であるため、データ転送時間にスキャナ13やプリンタ15のような制限は無く、途中でデータ転送を一時的に停止しても問題はない。このように入力元及び出力先共にページメモリ28である処理のデバイスに対しては低優先度の指定を行う。

【0227】画像バス転送の状態遷移を示すと図29に示すようになる。図においてデバイスからの転送リクエストが一つも無い状態のときはアイドル状態の状態を保持する。アイドル状態とは画像バス29上においてデータ転送が実行されていない状態を表わしている。

【0228】アイドル状態において転送リクエストが1つ発生した場合、転送サイクルは以下のように状態遷移する。

【0229】DMA転送リクエストが1つの場合、転送サイクルは8ステートとなる。すなわちアイドル→調停サイクル(1)→調停サイクル(2)→転送サイクル(1)→

転送サイクル(2) → 転送サイクル(3) → 転送サイクル(4) → 転送サイクル(5) → アイドルのように遷移する。

【0230】ここで1ステートは基本クロックの1クロックに相当し、そのタイミングは図26及び図27に示すようになる。このとき実際に画像バス29を占有する期間は8クロックのうち4クロックで、その他は調停サイクル及び転送終了サイクルとなる。

【0231】また、画像データ転送サイクル中に他のデバイスからのDMA転送リクエストがアクティブになった場合、そのDMAリクエストがアクティブになったときの現在実行中の画像転送サイクルのステートに応じて、転送サイクル(2)、(3)、(4)、(5)のステートから次の画像データ転送のチャンネルを選択する調停サイクルに入る。

【0232】このように画像データ転送を要求するチャンネルが増えるほど画像データ転送と次のデータ転送チャンネルを選択する調停サイクルが同時に行われるため、画像バス29上は4クロックサイクルで次から次へとデータ転送を実行することになる。このとき画像転送は、転送サイクル(1) → 転送サイクル(2) → 調停サイクル(1) (転送サイクル(3)) → 調停サイクル(2) (転送サイクル(4)) → 転送サイクル(1) のように遷移する。

【0233】前記画像バス優先度制御回路741の優先度制御をフローチャートで示すと図30に示すようになる。

【0234】まずI/OデバイスからのDMA転送リクエストがあるか否かをチェックする。DMA転送リクエストがアクティブの場合、優先度制御回路741はそのときの画像バス29の状態をチェックし、画像バス29の状態が転送サイクル(2)、(3)、(4)、(5)あるいは

アイドル状態のときに調停サイクルに入る。

【0235】調停サイクルは2つのサイクルに分かれている。第1のサイクル(調停サイクル(1))では高優先度指定のDMAリクエストがあるかどうかをチェックする。高優先度指定のDMAリクエストがあった場合、同じくDMA転送を要求している低優先度指定のI/Oデバイスからの転送リクエストを無視する。これにより調停サイクル(1)では同一レベルの優先度指定のI/Oデバイスからのリクエストが残る。

【0236】次に第2のサイクル(調停サイクル(2))では同一レベルの転送リクエストから転送すべき転送チャンネルを1つ選択する。

【0237】図31は転送チャンネル選択回路の構成を示すブロック図で、この選択回路は右シフト専用のバレルシフタ901、左シフト専用のバレルシフタ902、優先度セクタ903、エンコーダ904及びデータを一時的にラッチするDラッチ905から構成される。

【0238】この選択回路でのチャンネル選択(優先度制御)はラウンドロビンで行われる。すなわち画像データ転送を実行したチャンネルの優先度が次の調停サイク

ルにおいては一番低くなる。

【0239】初期優先度はBDRQ0が一番高く、BDRQ7が一番低くなっている。右シフト専用のバレルシフタ901は1つ前のデータ転送を許可されたチャンネル分右シフトして出力される。

【0240】優先度セクタ903は、複数の転送リクエストから転送する唯一のチャンネルを選択し出力する。

【0241】前記優先度セクタ903は、図32に示すように、ゲート回路911～917により構成される。

【0242】優先度セクタ903の入力D7～D0のうち、D0の優先度が一番高く、D7の優先度が一番低い。優先度セクタ903では優先度の一番高い入力(D0に一番近いリクエスト)のみをそのまま出力し、それ以外のリクエストを無視する。

【0243】前記左シフト専用のバレルシフタ902は、右シフト専用のバレルシフタ901で右シフトされた転送チャンネルのリクエストを元に戻す働きをする。この左シフト専用のバレルシフタ902の出力がDMA応答信号(BDAK7～0)として画像バスタイミング制御回路742が出力するタイミング信号に基づいて出力される。また、この左シフト専用のバレルシフタ902の出力は、エンコーダ904にて3bitのバイナリデータにエンコードされ、次の調停サイクルにおけるバレルシフタのシフト量としてDラッチ905へラッチされる。

【0244】以上のように、途中で画像データ転送を停止できないスキャナ入力やプリンタ出力に対して高優先度指定を行うことにより、低優先度指定のデバイスからのリクエストに優先して画像転送を実行することができ、途中でデータ転送が中断することはない。

【0245】しかし、低優先度指定の画像データ転送中、あるいは高優先度指定どうしのリクエストが競合して相手方にバスの使用权を取られた場合はデータ転送を待たされることがある。これを考慮して各デバイスの画像バスインターフェースには画像データを一時的に蓄える4段程度のFIFOバッファが備え付けてある。

【0246】これにより所定の時間で画像データ転送を行えなかった場合は、予め先読みしておいたFIFOバッファからデータを取り出してプリンタ15へ出力したり、スキャナ13からのデータを一時的にFIFOバッファへ格納しておき、バスの使用权が得られたときにFIFOバッファから画像バス29上にデータを出力することができ、見掛け上所定の時間でデータ転送を実行しているように見える。

【0247】しかし、高優先度指定を無闇に行うと問題が生じる。仮に16クロックサイクルに1度画像バス上でデータ転送を実行する必要があるデバイスが5つあったとする。これら全てを高優先度指定にして同時に処理

を実行させた場合、5つのチャンネル全てが高優先度指定であるため、5つの転送が交互に繰り返される。

【0248】調停サイクルは画像転送サイクルの中で処理できたとして、1つのデータ転送サイクルは4クロックかかる。5つの転送チャンネルをそれぞれ1度実行すると、20クロックかかることになり、16クロックに1度というデバイスの転送サイクルが守れないことになる。

【0249】これを避けるため、画像バス上のデータ転送を伴う処理の要求があった場合、CPU11は現在実行中の画像データ転送チャンネルのデータ転送周期を予めチェックし、また要求された処理のデータ転送周期をチェックし、要求された処理を実行することにより上述したような不具合が生じる場合には要求された処理を待機あるいは中止する。

【0250】以上のように、画像バス29上の各デバイスがデバイス上で1画素のビット数に応じてデータ幅を画像バス29のデータ幅に変換してデータ転送を行うため、異なるビット幅のイメージデータをそれぞれ専用のメモリに格納する必要がなく、同一の構成のページメモリ28に異なるビット幅のデータを記憶することができる。従ってメモリを有効に利用できる。また読み取った多値画像をそのままページメモリ28に蓄積し、さらにそれを多値画像としてプリンタ15により印字出力できるので、読み取った多値画像を画像劣化させることなく印字出力させることができる。

【0251】また、画像バス29上の各デバイスがデバイス上で1画素のビット数に応じてデータ幅を画像バス29のデータ幅に変換してデータ転送を行うため、画像バス上における転送バンド幅は1画素のビット幅に関係なくいつも同じであり、1画素のビット幅が小さいデータほど画像バス上での転送占有時間が短くなるため、画像バス上での転送処理の多重度が多くとれ、転送処理の効率を向上できる。

【0252】

【発明の効果】以上詳述したように本発明によれば、2値画像データ及び多値画像データをそのままの形態で同一のメモリに蓄積でき、メモリの有効利用ができるとともに多値画像を画像劣化させることなく画像形成できる画像形成装置を提供できる。

【0253】また、画像バス上での転送処理の多重度が多くとれ、転送処理の効率を向上できる画像形成装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す全体のブロック図。

【図2】同実施例の基本ユニットの構成を示すブロック図。

【図3】同実施例のシステム基本ユニットの構成を示すブロック図。

【図4】同実施例のシステム拡張ユニットの構成を示す

ブロック図。

【図5】図2の画像処理回路の構成を示すブロック図。

【図6】図3のシステム制御回路の構成を示すブロック図。

【図7】図6の通信メモリアクセス制御回路の構成を示すブロック図。

【図8】図6のページメモリアクセス制御回路の構成を示すブロック図。

【図9】図3のアドレス制御回路の構成を示すブロック図。

【図10】図9のアドレス発生部の構成を示すブロック図。

【図11】図9のアドレス発生部のアドレス発生方向の例を示す図。

【図12】図3のページメモリを2次元アクセスする場合の概念を示す図。

【図13】図3のページメモリの2次元アクセスをリニア・アドレスで表わした図。

【図14】図3のデータ制御回路の構成を示すブロック図。

【図15】図14のイメージ処理部の構成を示すブロック図。

【図16】図15におけるリード用のデータ経路部の構成を示すブロック図。

【図17】図15におけるライト用のデータ経路部の構成を示すブロック図。

【図18】図14の画像データ転送制御部の構成を示すブロック図。

【図19】同実施例においてページメモリからI/Oデバイスに対してデータ転送するときの画像バス上のデータ転送タイミングを示す図。

【図20】同実施例においてI/Oデバイスからページメモリに対してデータ転送するときの画像バス上のデータ転送タイミングを示す図。

【図21】図3の画像データインターフェースの構成を示すブロック図。

【図22】同実施例のFAX入力処理の一例を示す流れ図。

【図23】同実施例のFAX入力処理の他の一例を示す流れ図。

【図24】同実施例のFAX出力処理の一例を示す流れ図。

【図25】同実施例のFAX出力処理の他の一例を示す流れ図。

【図26】同実施例において優先度制御をする必要がない場合の基本的なデータ転送タイミングを示す図。

【図27】同実施例において優先度制御をする必要がない場合の基本的なデータ転送タイミングを示す図。

【図28】同実施例においてスキャナ入力、プリンタ出力、解像度変換/圧縮の各処理に使用する信号を示すブ

ロック図。

【図29】同実施例における画像バス転送の状態遷移を示す図。

【図30】同実施例の画像バス調停処理を示す流れ図。

【図31】同実施例における転送チャンネル選択回路の構成を示す図。

【図32】図31における優先度セクタの構成を示す回路図。

【符号の説明】

1…基本ユニット

2…システム基本ユニット

* 11…システムCPU

13…イメージスキャナ

14…画像処理部

15…プリンタ

21…システム制御回路

26…アドレス制御回路

27…データ制御回路

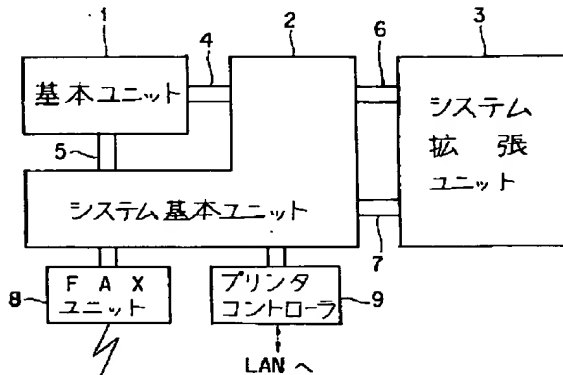
28…ページメモリ

210…画像データインターフェース

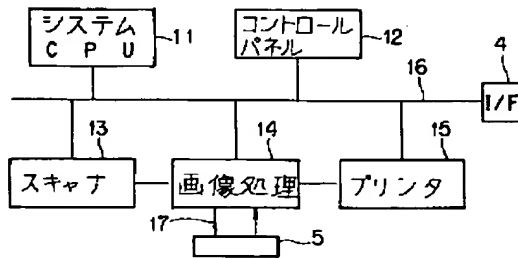
10 211…圧縮・伸長回路

* 212…解像度変換・2値回転回路

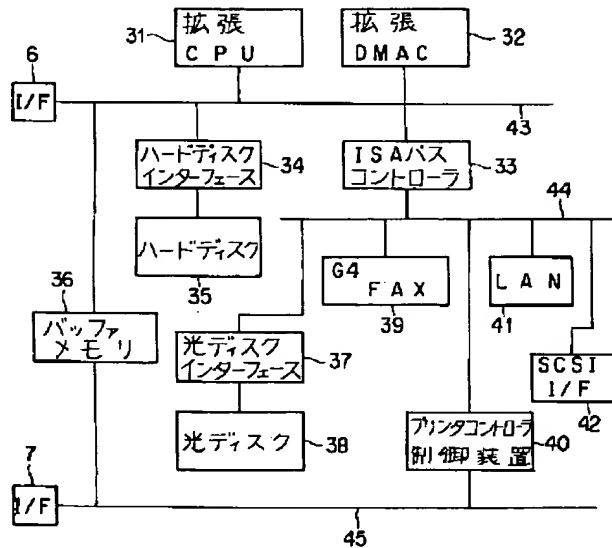
【図1】



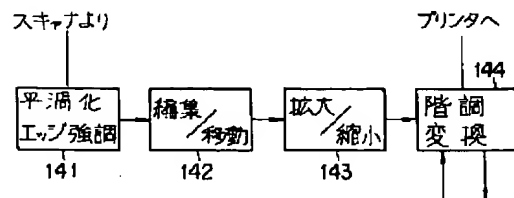
【図2】



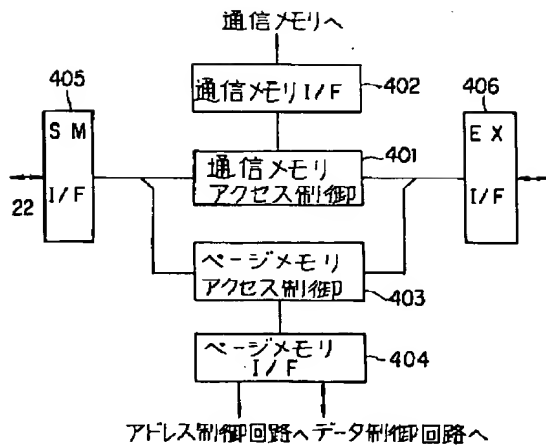
【図4】



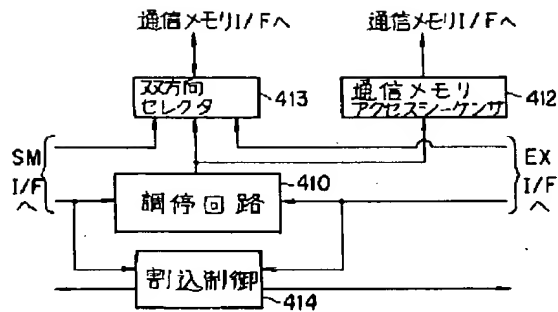
【図5】



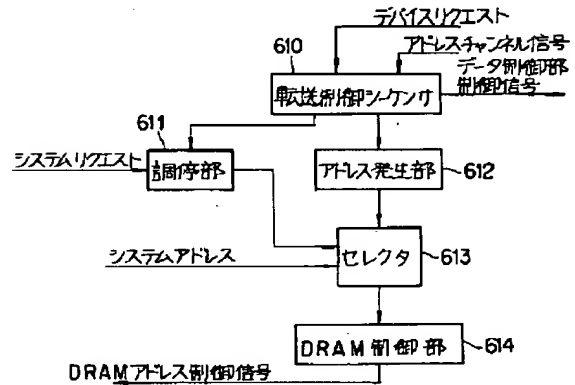
【図6】



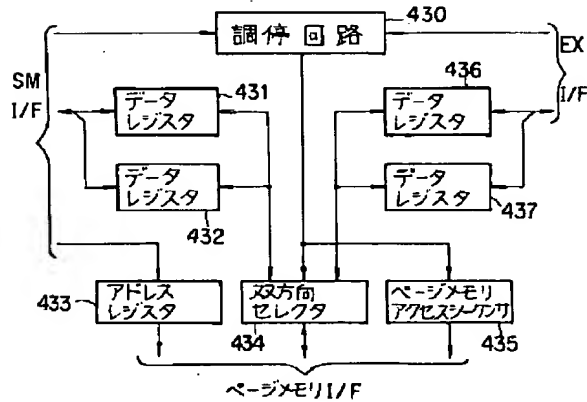
【図7】



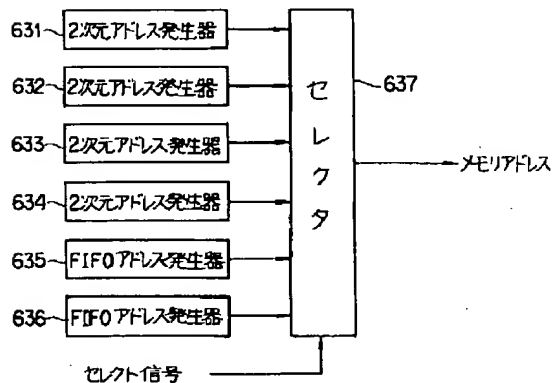
【図9】



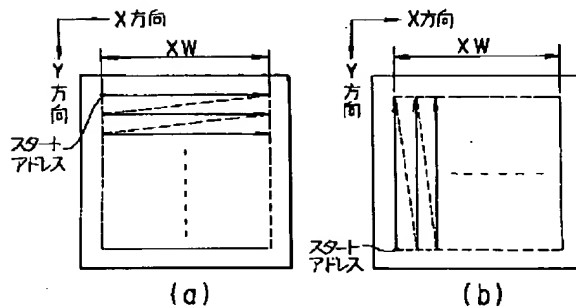
【図8】



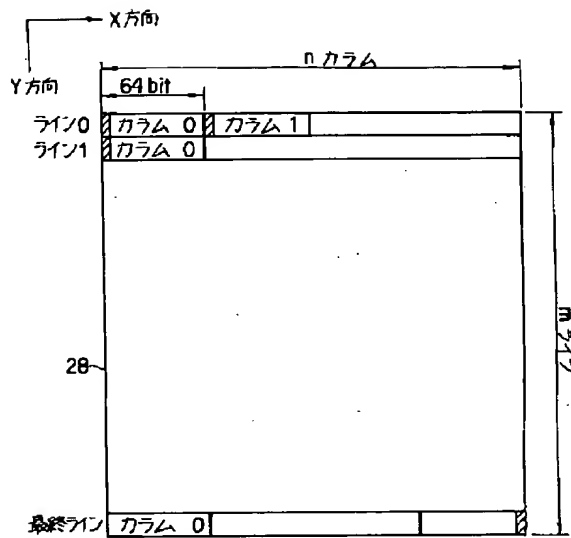
【図10】



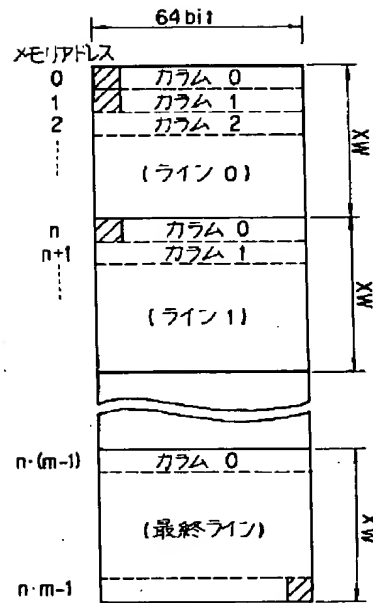
【図11】



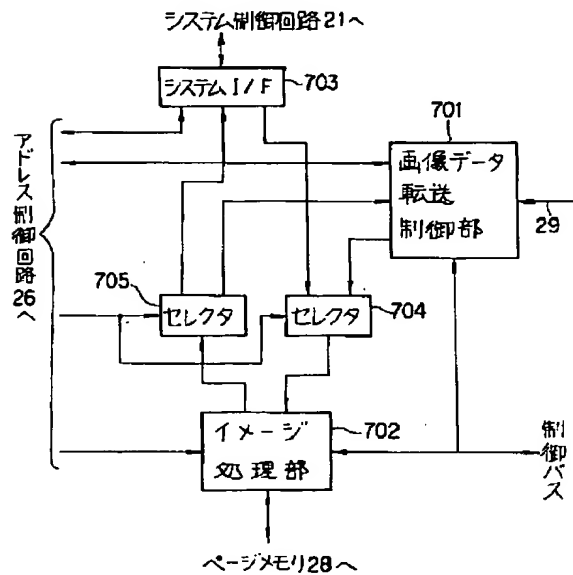
【図12】



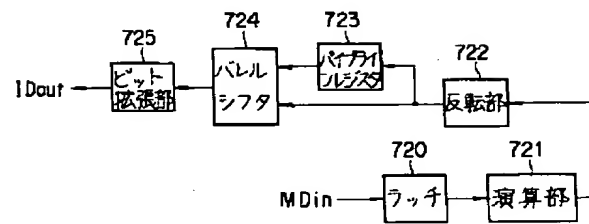
【図13】



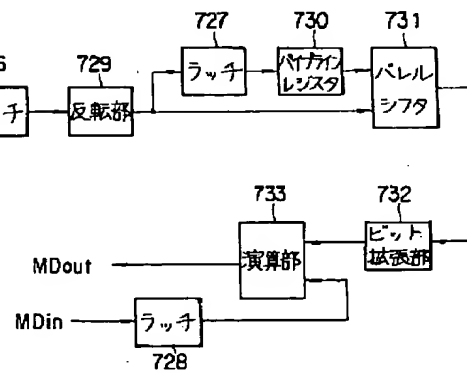
【図14】



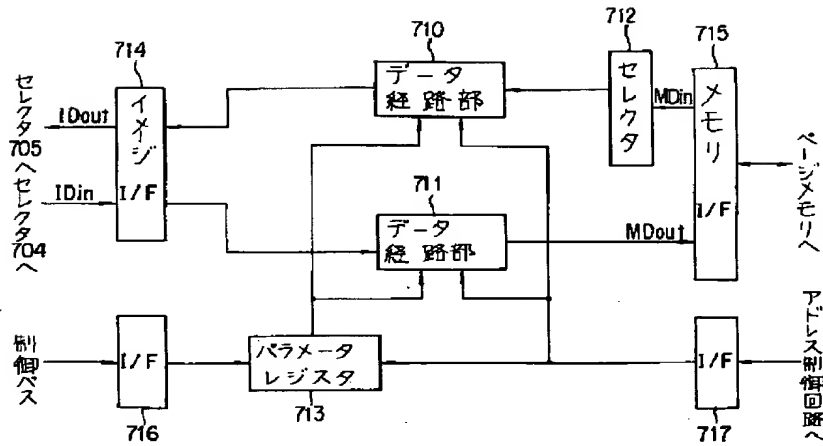
【図16】



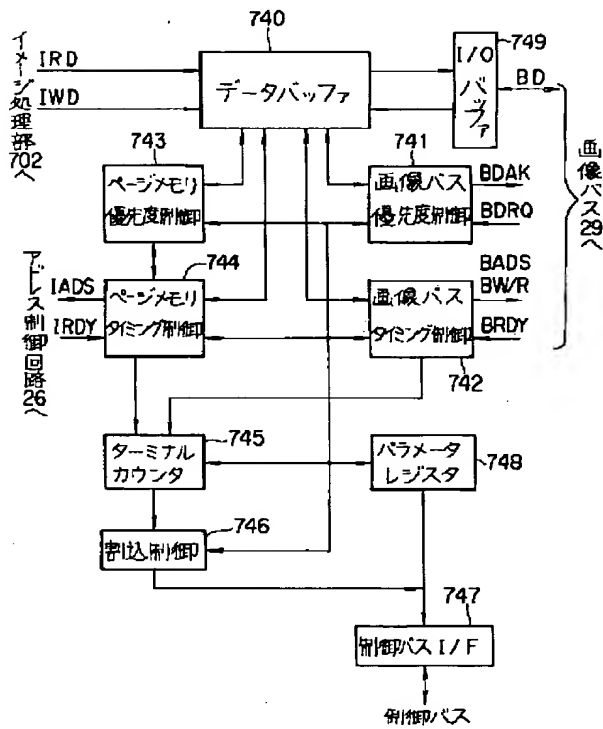
【図17】



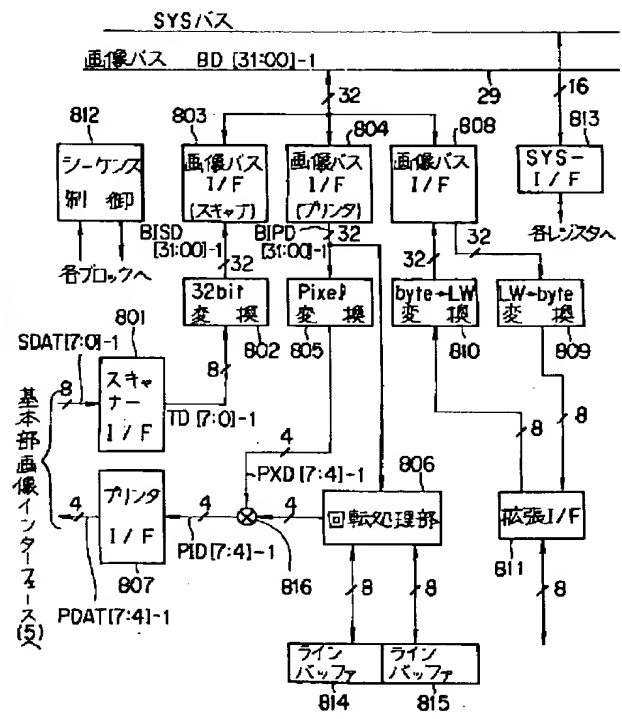
【図15】



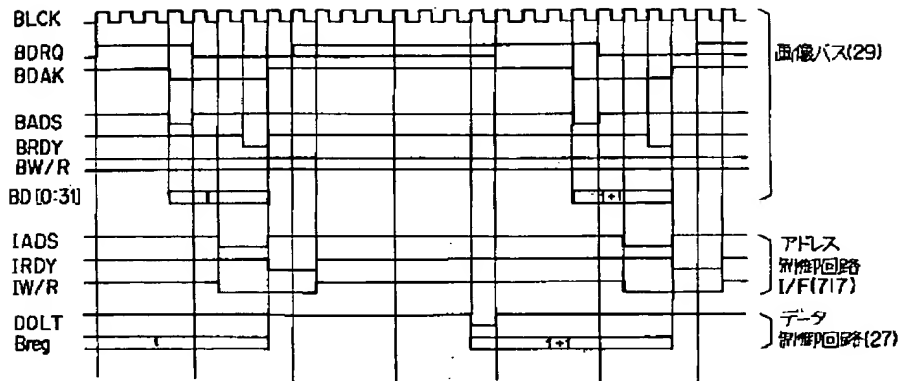
【図18】



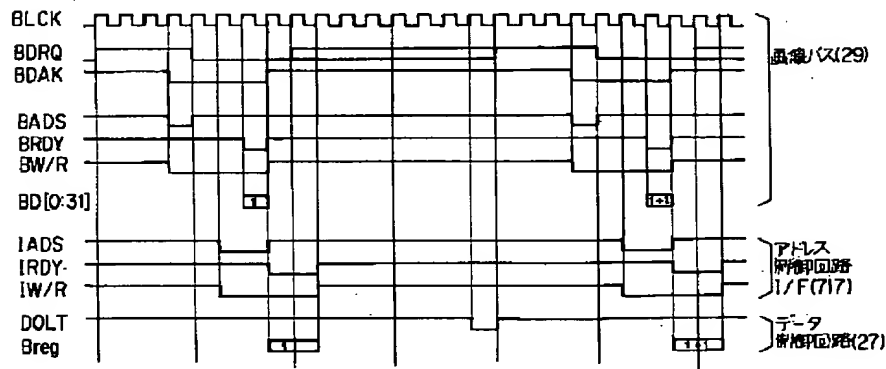
【図21】



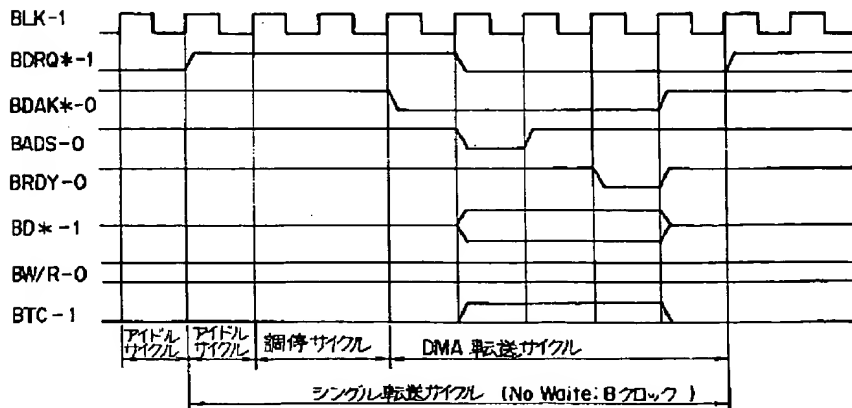
【図19】



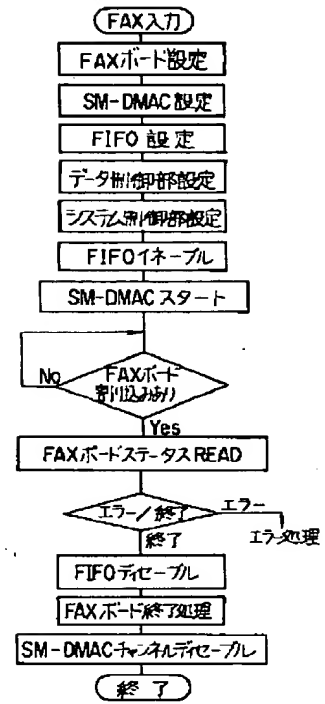
【図20】



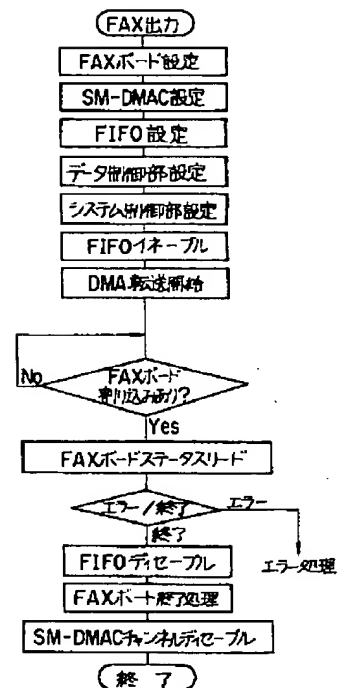
【図26】



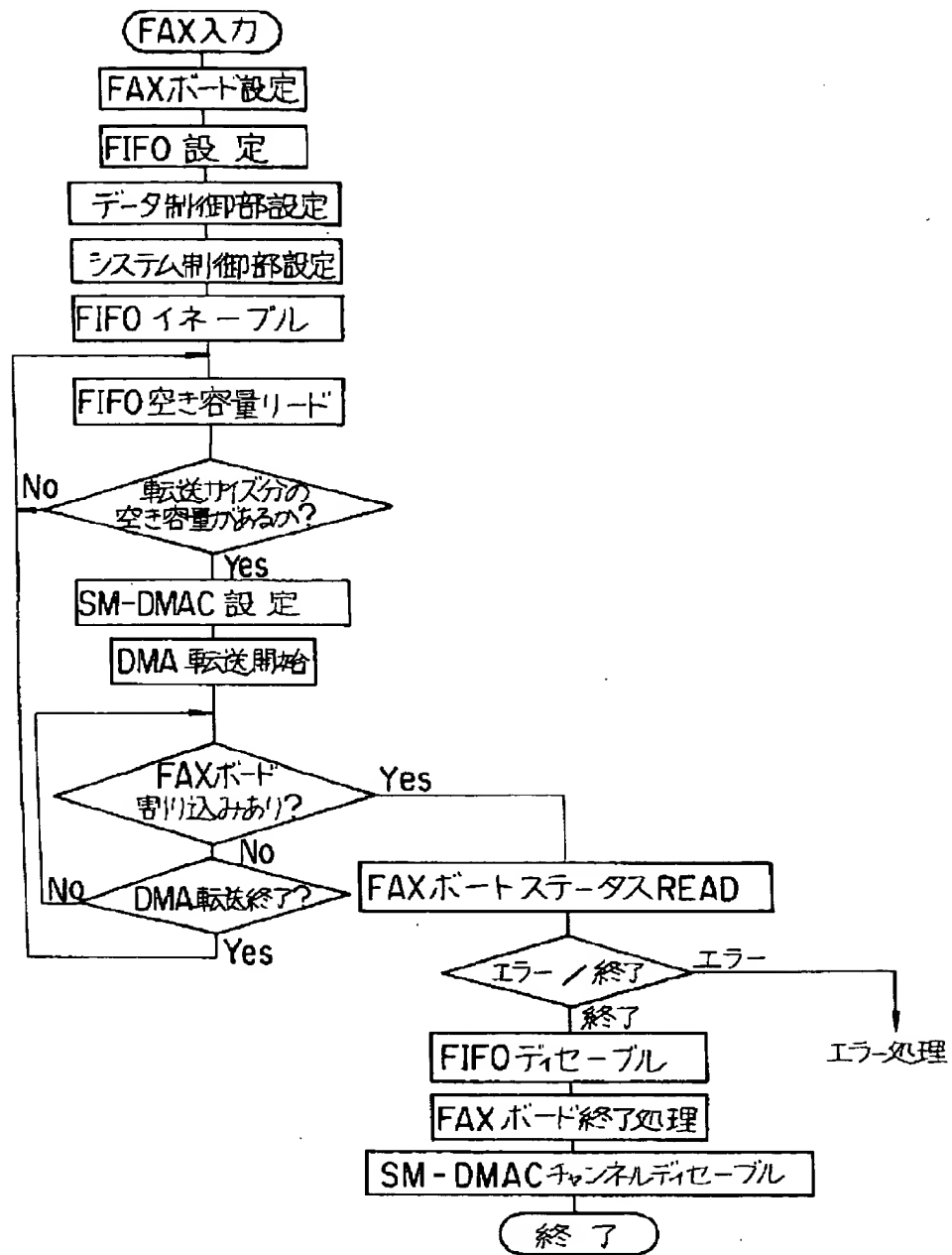
【図23】



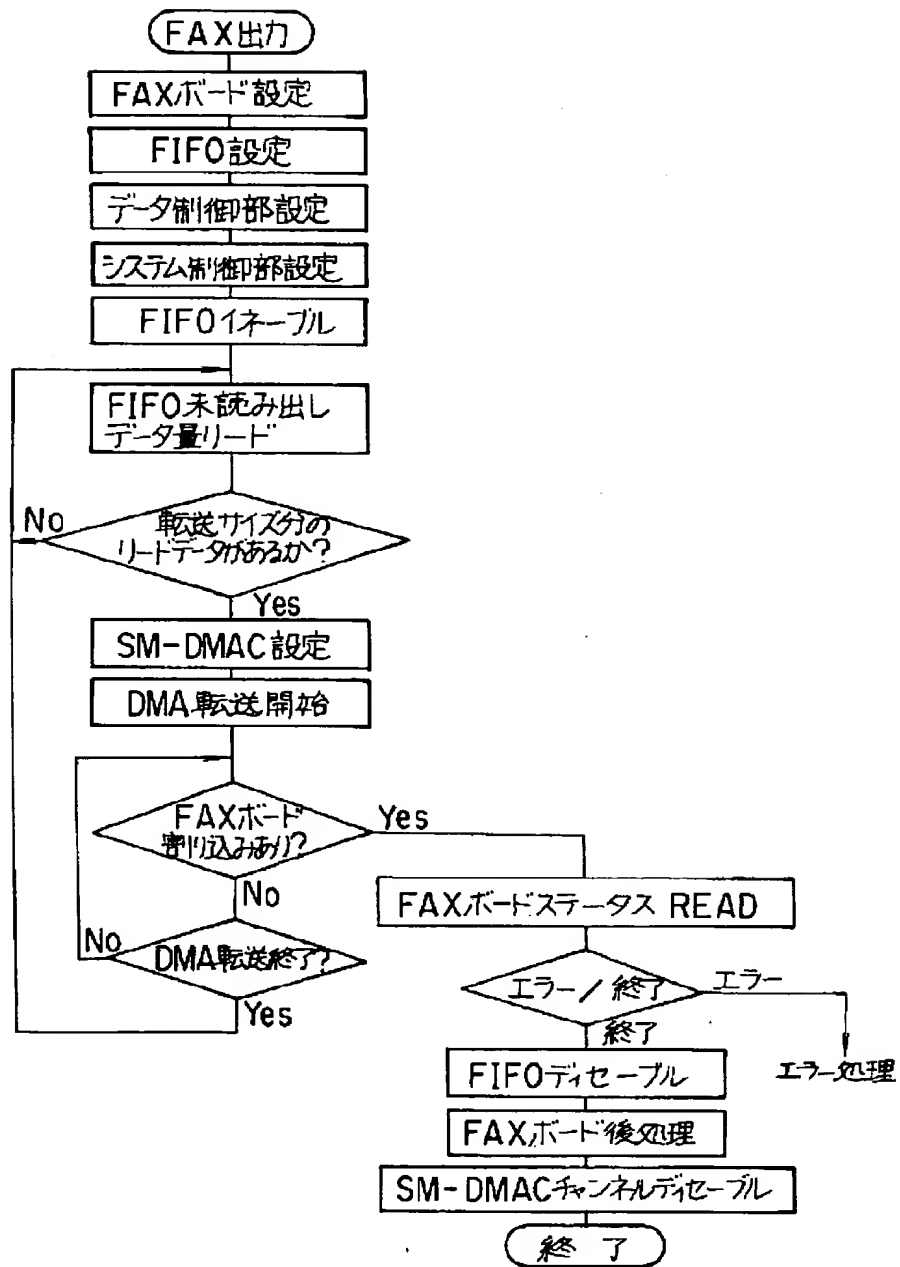
【図25】



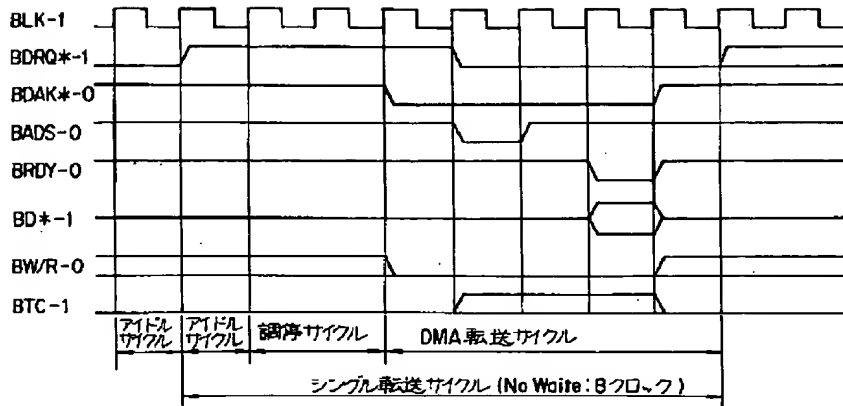
【図22】



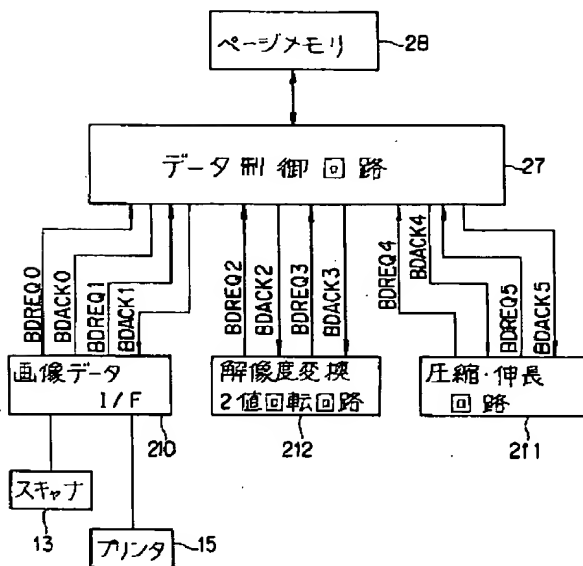
【図24】



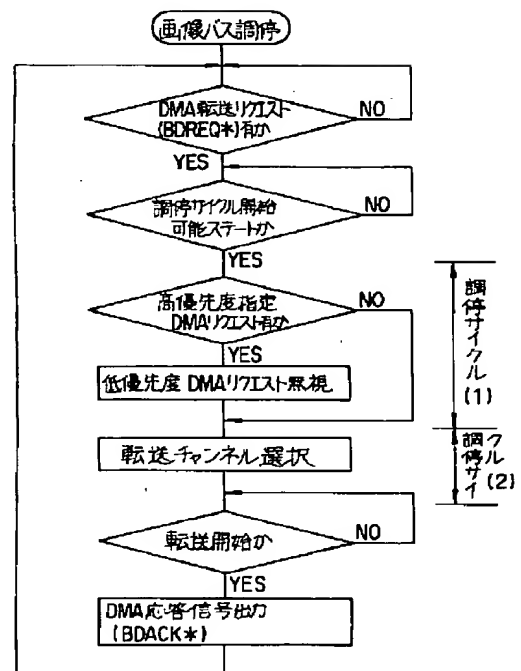
【図27】



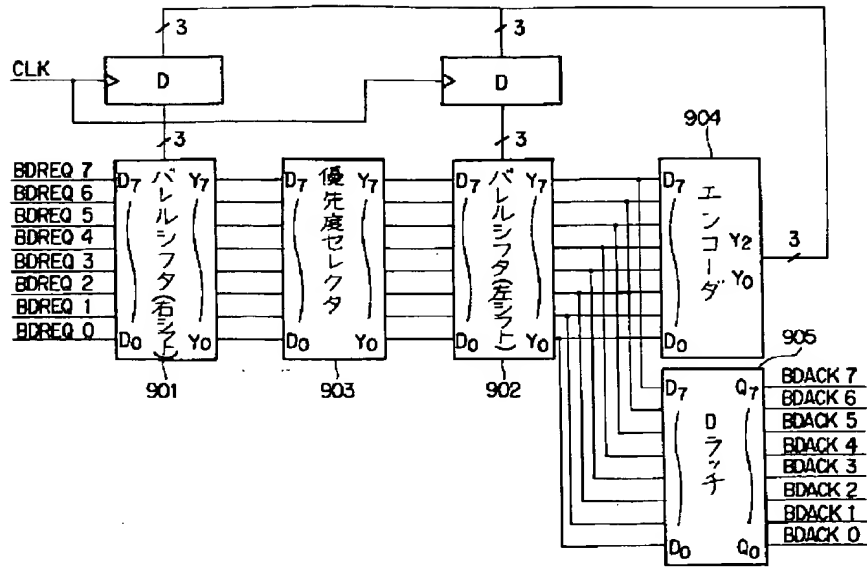
【図28】



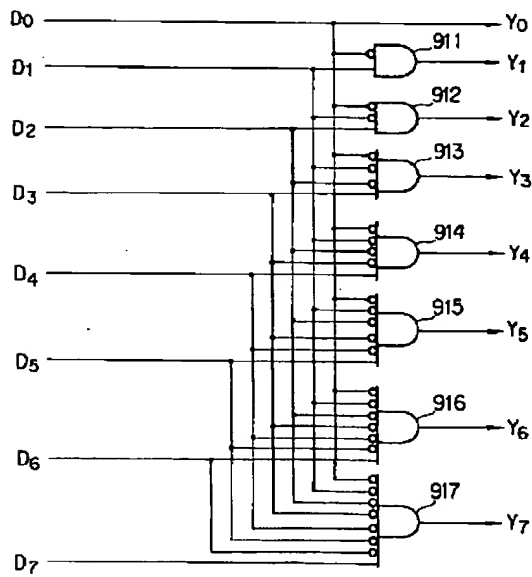
【図30】



【図31】



【図32】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.